

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年8月30日 (30.08.2001)

PCT

(10) 国際公開番号  
WO 01/63661 A1

(51) 国際特許分類: H01L 21/66 [JP/JP]; 〒179-0071 東京都練馬区旭町一丁目32番1号 Tokyo (JP).

(21) 国際出願番号: PCT/JP01/01292

(22) 国際出願日: 2001年2月22日 (22.02.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ: 09/512,780 2000年2月25日 (25.02.2000) US

(71) 出願人 (米国を除く全ての指定国について): 株式会社 アドバンテスト (ADVANTEST CORPORATION)

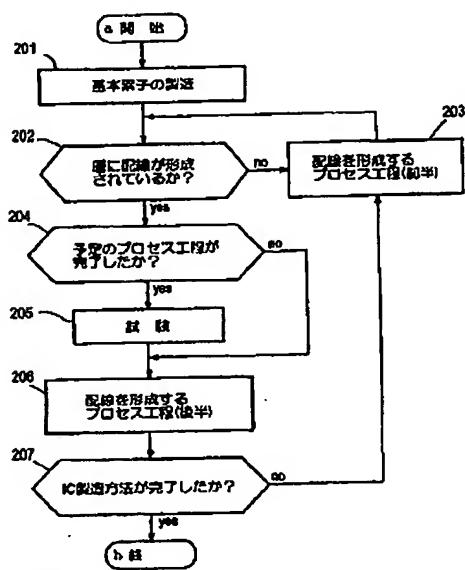
(71) 出願人 および  
(72) 発明者: ソーマ マニ (SOMA, Mani) [US/US]; 98177-4611 ワシントン州 シアトル 12043 イレブンス アベニュー エヌ. ダブリュー. Washington (US).

(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 前田泰宏 (MAEDA, Yasuhiro) [JP/JP], 石田雅裕 (ISHIDA, Masahiro) [JP/JP], 山口隆弘 (YAMAGUCHI, Takahiro) [JP/JP]; 〒179-0071 東京都練馬区旭町一丁目32番1号 株式会社 アドバンテスト内 Tokyo (JP).

/続葉有/

(54) Title: METHOD OF MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT HAVING MULTILAYER WIRING STRUCTURE

(54) 発明の名称: 積層配線構造をもつ半導体集積回路の製造方法



8...START  
201...MANUFACTURE OF BASIC ELEMENTS  
202...IS WIRING FORMED IN THE LAYER?  
203...WIRING-FORMING PROCESS STEPS (FIRST HALF)  
204...ARE SCHEDULED PROCESS STEPS COMPLETED?  
205...INSPECTION  
206...WIRING-FORMING PROCESS STEPS (SECOND HALF)  
207...IS PROCESS FOR IC MANUFACTURING COMPLETED?  
b...END

(57) Abstract: A method of manufacturing an LSI comprising the steps of forming basic elements such as transistors on a semiconductor substrate, stacking a plurality of wiring layers on the substrate, connecting the wiring layers to the basic elements to construct sub-circuits, connecting the sub-circuits to fabricate sub-circuits of large scales, and further successively enlarging the scales of the sub-circuits to form a complex constitution, wherein, at a stage when an intermediate wiring layer has been formed, 100% inspection, function inspection, stuck fault inspection, static power-source current inspection, and the like, of the basic elements and sub-circuits that have been wire-connected are performed. Thereafter wiring connection inspection is conducted at every completion of a wiring layer. Failure detection rate is enhanced, and inspection cost and manufacturing cost are reduced.

BEST AVAILABLE COPY

WO 01/63661 A1

/続葉有/



(74) 代理人: 草野 阜, 外(KUSANO, Takashi et al.) ; 〒 添付公開書類:  
160-0022 東京都新宿区新宿四丁目2番21号 相模ビル — 國際調査報告書  
Tokyo (JP).

(81) 指定国(国内): JP, KR, US.

(84) 指定国(広域): ヨーロッパ特許(AT, BE, CH, CY, DE,  
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

---

(57) 要約:

半導体基板上にトランジスタなどの基本素子を形成し、その上に配線層を複数積層して、基本素子を接続して構成したサブ回路、サブ回路を接続した規模を大きくしたサブ回路と、順次サブ回路の規模を大きくすると共に複雑な構成とするLSIの製造方法において、その途中の配線層が形成された状態でそれまでに配線接続された基本素子やサブ回路に対し、全数試験、機能試験、縮退故障試験、静止電源電流試験などを行い、その後の配線層の形成ごとにその配線接続試験を行う。故障検出率を向上させ、試験コスト、製造コストを削減する。

## 明細書

## 積層配線構造をもつ半導体集積回路の製造方法

## 技術分野

この発明は、積層配線構造をもつ半導体集積回路を製造する方法に関する。

高集積化された半導体集積回路は、一般に基本素子を形成した後配線層を積み重ねて、各種の機能をもつサブ回路を複数構成する。

## 背景技術

図1に、複数のサブ回路をもつ半導体集積回路を示す。この半導体集積回路Aは、複数のサブ回路S1, S2, …, Sk (図1の例ではk=6)をもつ。サブ回路は、CPUやメモリ、DSP、AD変換器、I/Oインターフェイスなど大規模な機能ブロックでもよいし、加算器や乗算器、マルチプレクサ、フリップフロップなどの比較的小規模または基本的なサブ回路でもよい。さらに、上記機能ブロックおよびサブ回路は、デジタル回路でもよいし、アナログ回路でもよいし、ミクスト信号回路でもよい。

また、この半導体集積回路Aは、図2に示すように、複数 (N層) の配線層からなる積層配線構造をもつ。最下層 (第1配線) 層は半導体基板に形成された基本素子 (トランジスタ) どうしを配線接続し、図3に示すように基本論理ゲート、図示例ではNANDゲート、インバータを構成する配線層であり、第1配線層の積層面には基本論理ゲートの入出力信号線が現れる。図中の点線枠内は基本素子であって第1配線層の積層面には現われていない。第2配線層は第1配線層で形成された基本論理ゲートどうしを配線接続し、例えば図4に示すように比較的小規模なサブ回路を構成する配線層であり、第2配線層の積層面にはサブ回路の入出力信号線が現れ、その回路を構成する論理ゲートやインバータなどは現われていない。第i配線層 ( $3 \leq i \leq N-1$ ) は第 (i-1) 配線層までに形成されたサブ回路どうしを配線接続し、より大規模なサブ回路を構成する配線層であり、第i配線層の積層面にはより大規模なサブ回路の入出力信号線が現れる。最上層 (第N配線層) は第N-1配線層で形成されたサブ回路 (S1, S2, …, Sk)

どうしを配線接続し半導体集積回路Aを構成する配線層であり、第N配線層の積層面には図5に示すように半導体集積回路の入出力信号線のみが現れる。

各配線層を積層する工程は、図6に示すように行われる。まず図に示していないが、直前の工程が終了したもの、つまり基本素子を形成した基板、あるいは直前に形成された配線層上に図6(a)に示すように $\text{SiO}_2$ などの酸化物層11が堆積され、その酸化物層11に対し、その直下の配線又は基本素子との接続点に対し、光リソグラフィ法によりマスクを形成し、リアクティブイオンエッティング(RIE)法により図6(b)に示すように穴12を開け、その穴12に図6(c)に示すように導電材例えばタンクスチンを埋込み接続部(Stub)13を形成する。次に図6(d)に示すように $\text{SiO}_2$ などの酸化物層14を堆積し、その酸化物層14に対し、配線されるべき部分に、光リソグラフィ法によるマスクとリアクティブイオンエッティング(RIE)法により溝15を図6(e)に示すように形成し、次に図6(f)に示すようにAl, W, Cuなどの金属層16を形成し、その金属層16を、化学的機械的研磨(chemical mechanical polishing: CMP)して酸化物層14を露出させ、図6(g)に示すように溝15に埋込まれ、かつ接続部13と接続された配線17を形成する配線17は接続部13を通じて図に示していないその下の配線層の配線と接続される。

配線層を積層する工程としては、図7に示す方法もある。図6に示した場合と同様にして、図7(a)に示すように酸化物層11に接続部13を埋込んだ状態を作り、その後、図7(b)に示すように金属層16を全面に形成し、その金属層16に対し、光リソグラフィ法とRIE法を施して、図7(c)に示すように接続部13と接続された配線17を形成する。更に図7(d)に示すように、酸化物層18を全面に堆積し、その後、図7(e)に示すようにCMPにより酸化物層18の表面を平坦化する。この場合は接続部13を形成するために穴12を形成する際に、下の配線層の配線に穴12が達するように酸化物層18にも穴12を連続形成する。

以上のように積層配線構造をもつ半導体集積回路の製造方法を簡単に述べたが、従来の半導体集積回路の製造方法においては、その製造工程の途中において、そ

れまでに構成された基本素子やサブ回路を試験することは行われていなかった。

つまり従来においては半導体集積回路チップの製造工程が終了した後、ウェハ状態 I.C. に対し、図 8 に示すようにチップのボンディングパッド (bondpads) にプローブをコンタクトさせ、外部から被試験回路の入力パッドにテストパターンを入力し、被試験回路の出力パッドにおける電圧応答信号、または、被試験回路の電源パッドの電流応答信号を観測することにより、半導体集積回路の試験がおこなわれていた (wafer probing, die sort)。あるいは、パッケージ状態 I.C. に対し、外部から被試験回路の入力端子 (ピン) にテストパターンを入力し、被試験回路の出力端子 (ピン) の電圧応答信号、または、被試験回路の電源端子 (ピン) の電流応答信号を観測することにより、半導体集積回路の試験がおこなわれていた (package test or final test)。これらの試験を以下では最終試験と呼ぶ。

半導体集積回路の最終試験には、縮退故障試験、遅延故障試験、静止電源電流 (I D D Q, quiescent power supply current) 試験、機能試験、全数試験などがもちいられる。縮退故障試験は、被試験回路内の信号線に縮退故障 (信号線の論理信号値がある一定の値に固定してしまう故障、信号値が “0” に固定される故障を 0 緩退 (Stuck-at 0) 故障といい、信号値が “1” に固定される故障を 1 緩退 (Stuck-at 1) 故障という。) を仮定し、所定のテストパターンに対して故障の影響を被試験回路の出力端子の電圧信号で観測する方法である。遅延故障試験は、被試験回路内の信号伝搬経路 (パス) または論理ゲートに遅延故障、つまり信号伝搬経路または論理ゲートを信号が伝搬するのに要する時間 (遅延時間) が所定の値を超えて大きくまたは小さくなる故障 (信号伝搬パスにおける遅延故障をパス遅延故障といい、論理ゲートにおける遅延故障をゲート遅延故障といいう。) を仮定し、所定のテストパターン系列に対して故障の影響を被試験回路の出力端子の電圧遷移信号で観測する方法である。静止電源電流試験は、被試験回路内における複数の信号線間の短絡故障や基本素子におけるリーク故障を仮定し、所定のテストパターンに対して故障の影響を被試験回路の電源端子の静止電流信号で観測する方法である。機能試験は、被試験回路の機能が正しく動作するか否かを試験する方法である。全数試験は、被試験回路の入力端子およびフリップフロップに

おけるすべての信号値の組み合わせに対して、被試験回路の出力応答を試験する方法である。なお縮退故障試験、機能試験については、例えば、M. Abramovici, M. A. Breuer and A. D. Friedman, *Digital Systems Testing and Testable Design*, IEEE Press, New York, 1990. の第6, 8章に記載され、遅延故障試験については、例えば、G. L. Smith, "Model for Delay Faults Based upon Paths," *Proceedings of IEEE International Test Conference*, pp. 342-349, 1985. や C. J. Lin and S. M. Reddy, "On Delay Fault Testing in Logic Circuits," *Transactions on Computer-Aided Design*, CAD-6(5), pp. 694-703, 1987. に記載され、静止電源電流試験については、例えば、S. Chakravarty and P. J. Thadikaran, *Introduction to I<sub>DDQ</sub> Testing*, Kluwer Academic Publishers, Boston, 1977. に記載され、過渡電源電流試験については、例えば、M. Sachdev, P. Jamssen. and V. Zieren, "Defect Detection with Transient Current Testing and its Potential for Deep Sub-micron ICs," *Proceedings of IEEE International Test Conference*, pp. 204-213, 1998. や Y. Min and Z. Li, "I<sub>DDT</sub> Testing versus I<sub>DDQ</sub> Testing," *Journal of Electronic Testing : Theory and Applications (JETTA)*, vol. 13, No. 1, pp. 51-56, August 1998. に記載されている。

また、被試験回路の試験を容易にするために、被試験回路に自己試験機能を組み込む技術 (BIST, built-in self test) や、回路の内部状態の可制御性および可観測性を向上するためのテストポイント挿入 (test point insertion), スキャン設計技術 (scan design), バウンダリスキャン (boundary scan) など、被試験回路に試験機能をあた得るテスト容易化設計技術ももちいられている。テスト容易化設計技術については、例えば、M. Abramovici, M. A. Breuer and A. D. Friedman, *Digital Systems Testing and Testable Design*, IEEE Press, New York, 1990. の第9, 10, 11章に記載されている。

しかし、回路の高集積化がすすみ、例えば、メモリ、MPU、DSP、I/Oインターフェイスなどが单一チップに集積されるシステムLSIになると、縮退故障試験、遅延故障試験、静止電源電流試験では、試験対象となる故障の数が非常に大きくなり、これらすべての故障に対し実用的な時間で試験を行うことがで

きない。また、全数試験は、内部のフリップフロップ数に対応する状態数が指数関数的に増加するため、試験を行うことは非常に困難である。さらに、回路規模が大きくなると、被試験回路の機能数が増加するため、被試験回路のすべての機能を試験するためのテストパターン数も膨大な量となる。

以上のように、最終試験により被試験回路の機能を試験するためには、多大な時間を必要とし、最終試験では試験コストが増大する。また、大規模な集積回路に対しては、回路内部の縮退故障や遅延故障、短絡故障すべてを試験対象とできないため、高い故障検出率を得ることができないという問題がある。

さらに、半導体集積回路の集積度の向上率に比べICパッケージのピン数の増加率が小さいため、回路内部の信号線への外部からのアクセスは今後さらに困難化し、半導体集積回路の最終試験は非常に高コストとなる。

また、従来の最終試験により半導体集積回路を試験する方法は、製造工程における製造不良や機能不良の検出が不可能、不良を生じる危険性の高いサブシステムの同定が困難、システム性能を向上するためのシミュレーションやモデリングに使用可能なデバイスレベルあるいはサブシステムレベルでのデータ収集が困難などの問題がある。

一方、回路内部に試験回路を組み込むテスト容易化設計手法は、外部からのアクセスが不要であったり、外部からのアクセスを簡単にすることができる、被試験回路の試験を容易に行うことができるが、チップ面積のオーバーヘッドが大きい、試験回路により被試験半導体集積回路の性能が劣化する、故障検出率がそれ程向上しない、試験に時間がかかる、などの問題がある。

このため、大規模な半導体集積回路に対し、試験コストを低くできる試験方法、および、高い故障検出率を達成できる試験方法が要求されている。

この発明の目的は、積層配線構造をもつ半導体集積回路に対し、試験コストを低減できるまたは、被試験回路の故障検出率を向上できる半導体集積回路の製造方法を提供することにある。

#### 発明の開示

この発明の方法によれば、基本素子を形成した後に、配線層を積層する工程（配

線積層工程) を複数回繰返して、積層配線構造をもつ半導体集積回路を製造する方法において、複数の配線積層工程中の少くとも 1 以上の途中の配線積層工程までに配線接続された 1 以上のサブ回路を順次試験する試験工程を有することを特徴とする。

この方法によって、回路の試験コストを低減でき、回路内の故障検出率を向上することができ、故障のない半導体集積回路を製造することができる。

また、この発明の製造方法は、上記試験工程では、第 1 の試験工程においてそれまでの積層工程により配線接続された 1 以上のサブ回路の試験を行ない、以後の試験工程においては上記サブ回路間の配線接続試験を行うことが望ましい。

また、この発明の製造方法は、上記試験工程では、比較的初期の所定の積層段階の試験工程においてそれまでの積層工程により配線接続された比較的小規模な 1 以上のサブ回路の試験を行ない、以後の最終層における試験工程において最終的に配線接続された集積回路の最終機能試験を行うことが望ましい。

また、この発明の製造方法は、上記試験工程の後、つぎの積層工程に移る前に、積層面を平坦化する CMP (chemical mechanical polishing) 平坦化工程を行うことが望ましい。

また、この発明の製造方法は、上記試験工程においてテスト容易化設計技術を用いて上記半導体集積回路の試験をおこなった後、上記試験工程で用いたテスト容易化設計技術の試験回路への配線を削除することが望ましい。

また、この発明の製造方法は、配線の積層工程が終了すると、所定の工程が終了したか否かを確認し、終了が確認されると上記試験工程に移り、終了が確認されないと次の積層工程に移るステップと、

上記試験工程が終了すると半導体集積回路の製造工程が終了したか否かを確認し、終了していないと次の積層工程に移るステップと、を有することが望ましい。

また、この発明の製造方法は、積層工程が終ると所定の工程が終了したか否かを確認し、終了していれば、上記所定の工程までに形成、配線接続された複数の基本素子やサブ回路の試験を行う第 1 試験工程に移り、終了していなければ次の積層工程に移るステップと、上記第 1 試験工程の後に次の積層工程に移るステッ

ブと、その第1試験工程後に所定の配線積層工程が終了したか否かを確認し、終了していれば上記所定の積層工程までに接続された複数のサブ回路間の複数の配線に対し配線接続試験を行う第2試験工程に移り、終了してなければ上記第1試験工程後の積層工程に移るステップと、半導体集積回路の製造工程が終了したか否かを確認し、終了していないと第1試験工程後の積層工程に移るステップとを有することが望ましい。

#### 図面の簡単な説明

図1は複数のサブ回路をもつ半導体集積回路の機能ブロックを示す図である。

図2は複数のサブ回路をもつ半導体集積回路の積層配線構造を示す断面図である。

図3は第1配線層により形成される複数の基本論理ゲートと第1配線層の積層面に現れる信号線を示す図である。

図4は第2配線層により形成される複数のサブ回路と第2配線層の積層面に現れる信号線を示す図である。

図5は第N配線層により形成される半導体集積回路と第N配線層の積層面に現れる信号線を示す図である。

図6は配線工程のプロセスステップの一例を示す断面図である。

図7は配線工程のプロセスステップの別の一例を示す断面図である。

図8は従来の半導体集積回路試験方法を説明するための半導体集積回路の表面を示す図である。

図9はこの発明の半導体集積回路製造方法の要部である各配線層に対する試験方法を示す断面図である。

図10はこの発明の半導体集積回路製造方法で製造される半導体集積回路の一例を示す図である。

図11はこの発明の半導体集積回路製造方法で製造される16ビットカウンタを示す図である。

図12は16ビットカウンタ製造途中で、サブ回路である4ビットカウンタが形成された状態を示す図である。

図13はDFT回路をもつVCO回路の一例を示す図である。

図14はこの発明の半導体集積回路製造方法により再構成されたVCO回路を示す図である。

図15はDFT回路をもつデジタル集積回路の一例を示す図である。

図16はこの発明の半導体集積回路製造方法により再構成された図15と対応するデジタル集積回路を示す図である。

図17はこの発明の半導体集積回路製造方法の処理手順を示すフローチャートである。

図18はこの発明の半導体集積回路製造方法の別の処理手順を示すフローチャートである。

図19はこの発明の半導体集積回路製造方法のさらに別の処理手順を示すフローチャートである。

図20はこの発明の半導体集積回路製造方法のさらに別の処理手順を示すフローチャートである。

図21はこの発明の半導体集積回路製造方法のさらに別の処理手順を示すフローチャートである。

図22はこの発明の半導体集積回路製造方法のさらに別の処理手順を示すフローチャートである。

#### 発明を実施するための最良の形態

この発明の半導体集積回路製造方法によれば、所定の途中の積層工程後、又はその途中でプロープカード等のプローピング手段を用いて積層面に現れた信号線にプロープをコンタクトすることにより試験をする。例えば図9(A)に示すように第1配線層の積層面では基本論理ゲート単位での試験、図9(B)に示すように第2配線層の積層面では比較的小規模なサブ回路単位での試験、図9(C)に示すように第i配線層の積層面ではより大規模なサブ回路単位での試験の少くとも1つを行い、更に必要に応じて第N配線層の積層面では半導体集積回路全体での試験を行う。さらに、第1配線層が積層されるまえに基板に対し、プロープをコンタクトすることにより、基本素子単位での試験や、基本素子の素子パラメ

一タ測定をおこなってもよい。配線層の数Nは、回路の規模や階層構造に応じて適切な値をとることができる。

このようなこの発明の半導体集積回路製造方法によれば、半導体集積回路に対する試験コストを削減することができる。ここでは、試験コストをテストパターン数であらわすことにする。

図10に示す半導体集積回路Bの全数試験を考得る。全数試験は、被試験回路の入力端子およびフリップフロップにおけるすべての信号値の組み合わせに対して、被試験回路の出力応答を試験する方法である。半導体集積回路Bは、サブ回路として、フリップフロップを含まない組合せ回路C1, C2, C3, C4と、m個のフリップフロップ回路F1, F2, …, Fmをもつ。半導体集積回路Bの入力端子数をtとし、サブ回路である組合せ回路C1, C2, C3, C4の入力信号線数をそれぞれp, q, r, sとする(図10の例ではt=7, m=8, p=4, q=3, r=5, s=3である)。以上のように回路を組合せ回路とフリップフロップに分割したとき、t, m, p, q, r, sには以下のような関係がある。

$$t + m \geq p + q + r + s \quad (1)$$

半導体集積回路Bの全数試験では、t個の入力端子とm個のフリップフロップにおけるすべての論理信号値の組み合わせに対して試験する必要があるため、試験項目数は $2^{t+m}$ となる。したがって、ひとつの試験項目をひとつのテストパターンで試験できれば、テストパターン数N(B)は $2^{t+m}$ となる。

$$N(B) = 2^{t+m} \quad (2)$$

一方、この発明の半導体集積回路製造方法によれば、各サブ回路が構成されるごとにそのサブ回路ごとの試験を行い、また同様にフリップフロップもそれが形成された時にそれについて試験をすることにより、各サブ回路をそれぞれ全数試験するとき、各サブ回路C1, C2, C3, C4, F1, F2, …, Fmに対するテストパターン数N(C1), N(C2), N(C3), N(C4), N(F1), N(F2), …, N(Fm)は、それぞれ、

$$N(C1) = 2^p \quad (3)$$

$$N(C2) = 2^q \quad (4)$$

$$N(C3) = 2^r \quad (5)$$

$$N(C4) = 2^s \quad (6)$$

$$N(F1) = 2^{2+1} \quad (7)$$

$$N(F2) = 2^{2+1} \quad (8)$$

...

$$N(Fm) = 2^{2+1} \quad (9)$$

となる。なおフリップフロップは入力が2つであり内部状態が2つであるから、そのテストパターン数は $2^{2+1}$ である。したがって、サブ回路単位で全数試験するに必要なテストパターン数 $N(B_{sub})$ は

$$N(B_{sub}) = 2^p + 2^q + 2^r + 2^s + 8m \quad (10)$$

である。したがって、この発明の半導体集積回路製造方法で用いる試験工程におけるテストパターン数は、従来の半導体集積回路に対する試験におけるテストパターン数より、

$$N(B) - N(B_{sub}) = 2^{t+m} - (2^p + 2^q + 2^r + 2^s + 8m)$$

だけ削減することができる((1)式の関係より、 $t, m$ が十分に大きいとき、 $N(B) - N(B_{sub})$ は正となる)。例えば、 $t = 7, m = 8, p = 4, q = 3, r = 5, s = 3$ の例では、最上層でのテストパターン数 $N(B) = 32768$ に対して第2配線層での全数試験のテストパターン数 $N(B_{sub})$ はわずかに120であり、テストパターン数を32648( $N(B)$ の約99.6%)削減できる。

この発明の半導体集積回路製造方法では、サブ回路単位で試験をおこなった後、最上層までの各配線層に対する試験工程においては各サブ回路どうしが正しく配線接続されているか否かを試験すればよい。この、配線の接続試験は被試験配線における論理信号値の伝搬を確認するだけでよいので、これに要するテストパターン数はサブ回路の試験にもちいるテストパターン数に比べ十分小である。

また、別の例として、図11に示す半導体集積回路よりなる16ビットカウンタの機能試験を考得る。上記16ビットカウンタは、サブ回路として4つの4ビ

ットカウンタ S1, S2, S3, S4 をもつ。

16ビットカウンタの機能試験では、16ビットの出力が 0000000000000000 から 1111111111111111 まで正しくカウントするかを試験する必要があるため、試験には  $2^{16} = 65536$  のクロック（テストパターン）が必要となる。

一方、この発明の半導体集積回路製造方法によれば、図12に示すように第k配線層を形成して、4ビットカウンタ（サブ回路）S1, S2, S3, S4 が構成された状態でその第k配線層の積層面に現れている各4ビットカウンタの入出力信号線にプローブをコンタクトして、4つのサブ回路 S1, S2, S3, S4 をそれぞれ機能試験する。このとき、各4ビットカウンタに対して、4ビットの出力が 0000 から 1111 まで正しくカウントするかを試験すればよいから、試験にはそれぞれ  $2^4 = 16$  のクロック（テストパターン）が必要となる。

したがって、この発明の半導体集積回路製造方法における試験工程で用いるテストパターン数を、16ビットカウンタを機能試験したときテストパターン数に対し、 $65536 - 4 \times 16 = 65472$  (99.9%)だけ削減することができる。

これらの試験コスト削減の効果は、大規模回路に対してより顕著に表れる。また、この効果は、全数試験や機能試験に限定されるものではなく、縮退故障試験、遅延故障試験、静止電源電流試験、過渡電源電流試験などに対しても同様の効果を得ることができる。

また、この発明の半導体集積回路製造方法においては、その試験工程において、サブ回路ごとに試験するため、複数のサブ回路が構成された状態において、これら複数のサブ回路を並列に試験することにより、さらに試験時間を短縮することができる。サブ回路は、図4に示したように、お互いに配線接続されていないかぎりそれぞれ独立に動作するため、同一積層面に現れた複数のサブ回路に同時にプローブをコンタクトすることにより、並列に試験することができる。

また、この発明の半導体集積回路製造方法によれば、途中の配線積層工程で試験工程を介在させるため、故障検出率を向上し、半導体集積回路の信頼性を向上することができる。回路の集積度が向上するにつれて、縮退故障試験の対象とな

る縮退故障数が増加し、さらに順序回路ではフリップフロップの存在によって回路内部の故障箇所へのアクセスが困難になる。すなわち、各フリップフロップを所定の信号値に設定するためのテストパターンと縮退故障の影響を複数のフリップフロップをとおして出力端子に伝搬させるためのテストパターンが必要となるため、縮退故障試験に必要なテストパターン数が膨大となり、大規模な集積回路に対して実用的な時間で縮退故障試験を適用することが困難になっている。このため、大規模な集積回路の試験には、縮退故障試験の代わりに機能試験などが適用されるが、機能試験は明示的に縮退故障を試験対象としていないため、縮退故障に対する十分な故障検出率を得ることができない。

しかし、この発明の半導体集積回路製造方法によれば、その製造工程の途中規模の小さなサブ回路が構成された状態で、サブ回路単位での試験工程を介在させることにより、実用的な時間で各サブ回路の縮退故障試験を行うことができ、回路全体に対する縮退故障の故障検出率を向上することができる。

また、CMOS集積回路においては、回路素子（MOSトランジスタ）の微細化と回路の高集積化がすすむにつれて、トランジスタのリーク電流が増加するため、チップ全体の静止電源電流が増加し、单一の故障による静止電源電流の増加を検出することができなくなる。このため、大規模なCMOS集積回路では静止電源電流試験が非常に困難になる。しかし、この発明の半導体集積回路製造方法によれば、規模の小さなサブ回路が構成された状態でサブ回路単位での試験を行うことにより、各サブ回路に対して静止電源電流試験を行うことができ、回路全体に対する短絡故障やリーク故障の故障検出率を向上することができる。この効果は、縮退故障試験や静止電源電流試験に限定されるものではなく、遅延故障試験、機能試験、全数試験、過渡電源電流試験などに対しても同様の効果を得ることができる。

また、この発明の半導体集積回路製造方法によれば、回路の製造工程中に試験を行うことにより、断線故障や短絡故障などの製造不良や回路性能が仕様外となるような機能不良の早期検出が可能であるため、その後の試験工程や製造工程を省略することで半導体集積回路の試験コストおよび製造コストを削減することができる。

できる。

また、この発明の半導体集積回路製造方法によれば、サブ回路が構成された時にサブ回路単位あるいはサブシステム（規模が比較的大きいサブ回路）が構成された時にサブシステム単位で試験がおこなわれるため、不良を生じる確率の高いサブシステムを同定可能であり、これらの情報をテスト容易化設計技術（スキャン設計技術（scan design）や組み込み自己試験（BIST, Built-In Self Test）技術などの追加、または、全システムの信頼性向上のために利用することによって長いシステム修繕期間（不良を生じたシステムを正常なシステムに修繕するための期間）を短縮することができる。テスト容易化設計技術については、例えば、M. Abramovici, M. A. Breuer and A. D. Friedman, *Digital Systems Testing and Testable Design*, IEEE Press, New York, 1990. の第9, 10, 11章に記載されている。

また、システム性能を向上するためのシミュレーションやモデリングには、デバイスレベルあるいはサブシステムレベルでの遅延時間や電流駆動能力などの性能データを収集することが必要である。この発明の半導体集積回路製造方法によれば、回路の製造工程中にデバイス単位あるいはサブ回路単位で試験できるため、デバイスレベルあるいはサブシステムレベルでの性能データを収集することが可能である。

また、この発明の半導体集積回路製造方法によれば、サブ回路単位で適切な試験を適用できるため、集積回路内にテスト容易化設計技術による試験回路を挿入する必要がなく、試験回路による面積オーバーヘッドを削減することができる。

さらに、この発明の半導体集積回路製造方法によれば、CMP (chemical mechanical polishing) 平坦化工程を有效地に利用することにより、テスト容易化設計技術を併用しても、挿入された試験回路による半導体集積回路の性能劣化を防ぐことができる。

例えば、位相同期ループ（Phase-Locked Loop, PLL）回路の試験を容易化するために、図13に示すようなテスト容易化設計技術が提案されている。この方法については、例えば、F. Azais, M. Renovell, Y. Bertrand, A. Ivanov, and

S. Tabatabaei, "A Unified Digital Test Technique for PLLs : Catastrophic Fault Covered," Proceedings of 5th IEEE International Mixed Signal Testing Workshop, pp. 269-292, June 1999. に記載されている。この方法は、PLL回路を構成する電圧制御発振器 (Voltage-Controlled Oscillator, VCO) の入力側と入力段との間に試験容易化回路 (DFT : Design for Test) として、2つのMOSFET (M1, M2) を挿入し、通常動作時にはMOSFET M1をON, MOSFET M2をOFFとして、出力バッファの入力を発振回路の入力段に入力し、つまりフィードバックループFLを閉成してVCO回路を構成し、試験時にはM1をOFF, M2をONとしてVCO回路のフィードバックループFLを切断し、入力端子INから出力端子OUTまでの経路を活性化して試験を行う方法である。しかし、この方法は、VCO回路のフィードバックループFLにMOSFET (M1) が挿入されているため、MOSFETの抵抗により、通常動作におけるPLL回路の動作速度が低下するという問題がある。

これに対し、この発明の半導体集積回路製造方法によれば、M1, M2を図13に示すように接続する配線層を形成した後に、試験工程を挿入して上記試験回路をもつ被試験PLL回路の配線にプローブをコンタクトし、M1をOFF, M2をONとして被試験PLL回路の試験をおこなった後、図14に示すように、点線で示す試験回路M1およびM2への配線をCMPで除去し、実線で示す配線L1を新たに積層することによって、M1が外されたフィードバックループを再構成して、性能劣化のないPLL回路を製造することができる。つまり図14中の点線の配線のみを構成する配線層を形成して、図13に示す回路構成とし、試験を行い、試験終了後に前記点線の配線層を除去し、その上にフィードバックループ形成用の配線L1を形成するための配線層を構成する。ここで、再構成されたPLL回路は、すでに試験されており、正常に動作することが保証されている。

また、デジタル集積回路の遅延故障試験および縮退故障試験を容易化するため、図15に示すようなテスト容易化設計技術が提案されている。この方法については、例えば、K. Arabi, H. Ihs, C. Dufaza and B. Kaminska, "Digital Oscillation-Test Method for Delay and Stuck-at Fault testing of Digital

Circuits, " Proceedings of IEEE International Test Conference, pp. 91~100, Oct. 1999. に記載されている。この方法は、デジタル集積回路の被試験信号伝搬パス（一般的には、もっとも遅延時間が長いクリティカルパスを選択する）の入力信号線 L2 と出力信号線 L4 を、XOR ゲートおよびマルチプレクサ MUX をとおして、太い線で示すようにループ状に接続し、通常動作時にはマルチプレクサの入力 TEST を制御してフィードバックループを不活性化し、B1 を L2 に接続して被試験回路を動作させ、試験時にはマルチプレクサ MUX を制御して XOR ゲートの出力側を入力線 L2 に接続してループを構成し、XOR ゲートの入力 INV を制御してループ内に、出力を反転させる論理ゲート（出力反転ゲート）が奇数個含まれるリング発振回路（ring oscillator）を構成することによってクリティカルパスにおける遅延故障および縮退故障を試験する。ここで、XOR ゲートは、クリティカルパス上に出力反転ゲートが偶数個存在するとき、その入力 INV を "1" とし出力反転ゲートとして動作させ、クリスティカルパス上に出力反転ゲートが奇数個存在するときは入力 INV を "0" として動作させることによって、フィードバックループ上の出力反転ゲートの数を制御するためにもいられる。例えば図 15 では、クリティカルパス上の出力反転ゲート数が 0 であるため、試験時には INV = "1" を入力としてあた得る。しかし、この方法は、デジタル半導体集積回路の入力と出力にそれぞれマルチプレクサ MUX と XOR ゲートが接続されているため、マルチプレクサ MUX の伝搬遅延時間および XOR ゲートの寄生容量により、通常動作におけるデジタル半導体集積回路の動作速度が低下するという問題がある。

これに対し、この発明の半導体集積回路製造方法においては、上記試験回路 MUX, XOR を接続する配線層を構成した状態で試験工程を実行させ、デジタル半導体集積回路の配線にプローブをコンタクトし、必要な入力を与えてデジタル半導体集積回路の試験を行い、その後、図 16 に示すように、点線で示した試験回路、つまり MUX, XOR への配線層を CMP で除去し、太い実線で示した入力信号線を新たに積層する。このようにして MUX や XOR による性能劣化を伴わずかつ試験されたデジタル半導体集積回路を製造することができる。ここで、

再構成されたデジタル半導体集積回路は、すでに試験されており、正常に動作することが保証されている。

この発明の製造対象である積層配線構造をもつ半導体集積回路は、例えば、ダマシン (damascene) 配線構造であることが望ましい。ダマシン配線については、例えば、A.K. Stamper, T.L. McDevitt, and S.L. Luce, "Sub-0.25-micron Interconnection Scaling: Damascene Copper versus Subtractive Aluminum," IEEE/SEMI Advanced Semiconductor Manufacturing Conference, pp. 337-346, 1998. に記載されている。また、配線材料は上記の銅 (Cu) に限定されるものではなく、銅-マグネシウム (Cu-Mg) でもよいし、他の材料でもよい。ダマシン配線構造の半導体集積回路では、所定の積層工程の後、つぎの積層工程に移る前に、図 6 (g) に示した積層面を平坦化する工程、例えば、CMP 平坦化工程がおこなわれる。この平坦化工程により、この発明の主要な構成である途中での試験工程におけるプローブコンタクトの際にいたる微少くぼみなどの微小な接触傷などを取り除くことができるため、この製造工程途中での試験工程は半導体集積回路の製造工程に影響することなく実行可能である。

また、この発明の製造対象である積層配線構造をもつ半導体集積回路は、デジタル回路に限定されるものではなく、アナログ回路やデジタル回路とアナログ回路を混載したミクスド信号回路でもよい。

また、この発明の製造対象である積層配線構造をもつ半導体集積回路は、単一基板の半導体集積回路に限定されるものではなく、複数のサブ基板を積層により 3 次元実装した半導体集積回路でもよい。

また、この発明の製造対象である積層配線構造をもつ半導体集積回路は、単一チップの半導体集積回路に限定されるものではなく、複数のサブチップを共通の積層配線構造により集積した半導体集積回路でもよい。

以下、この発明方法の処理手順の実施例について説明する。

図 17 はこの発明の半導体集積回路製造方法の処理手順の一例を示している。はじめに、ステップ 101 において、半導体基板に基本素子 (トランジスタなど) を形成する工程を行う。次に、ステップ 102 において、配線面に信号線が形成

されたか否かを確認し、信号線が形成されていないならばステップ103の配線の積層工程により信号線を形成し、信号線が形成されたならばステップ104に移行する。

ステップ104において、製造途中における予め決められた少くとも1つの所定の工程が終了したか否かを確認し、所定の工程が終了していないならばステップ103の配線の積層工程を繰り返し、所定の工程が終了したならばステップ105に移行する。ここで、上記ステップ103の配線の積層工程は、基本素子やサブ回路の配線を積層によって行う工程であり、例えば図6に示したプロセスステップからなる。次に、ステップ105において、上記工程までに形成、配線接続された複数の基本素子やサブ回路を順次又は並列に試験する。最後に、ステップ106において、半導体集積回路の製造工程が終了したか否かを確認し、製造工程が終了していないならば上記ステップ102, 103, 104, 105を繰り返し、製造工程が終了したならば処理を終了する。上記ステップ105の試験工程は、それまでの配線状態に応じて基本素子に対する試験、小さなサブ回路の試験、比較的大きなサブ回路の試験などであり、例えば第2配線層以下の各配線層の形成ごとに行われ基本素子またはサブ回路の試験には、全数試験を用いてもよいし、機能試験を用いてもよいし、縮退故障試験を用いてもよいし、遅延故障試験を用いてもよいし、静止電源電流試験を用いてもよいし、過渡電源電流試験を用いてもよいし、パラメトリック試験を用いてもよいし、上記以外の試験方法を用いてもよい。特に最初の試験の後に配線層形成ごとに行う試験は配線接続試験だけでもよい。

図18はこの発明の半導体集積回路製造方法の処理手順の他の一例を示している。はじめに、ステップ201において半導体基板に基本素子（トランジスタなど）を形成する工程を行う。次に、ステップ202において、配線面に信号線が形成されたか否かを確認し、信号線が形成されていないならばステップ203の配線の積層工程（前半）、例えば図7（a）～（c）のプロセスにより信号線を形成し、信号線が形成されたならばステップ204に移行する。次に、ステップ204において、所定の工程（1つとは限らない）が終了したか否かを確認し、所

定の工程が終了していないならばステップ206の配線の積層工程（後半）に移行し、ステップ204で所定の工程が終了したならばステップ205において上記工程までに形成、配線接続された複数の基本素子やサブ回路を順次又は並列に試験する。次に、ステップ206において、配線の積層工程（後半）、例えば図7(d)、(e)のプロセスを行ない、配線工程を完了する。最後に、ステップ207において、半導体集積回路の製造工程が終了したか否かを確認し、製造工程が終了していないならば上記ステップ202、203、204、205、206を繰り返し、製造工程が終了したならば処理を終了する。上記ステップ205の試験工程において、基本素子またはサブ回路の試験には、全数試験を用いてもよいし、機能試験を用いてもよいし、縮退故障試験を用いてもよいし、遅延故障試験を用いてもよいし、静止電源電流試験を用いてもよいし、過渡電源電流試験を用いてもよいし、パラメトリック試験を用いてもよいし、配線接続試験を用いてもよいし、上記以外の試験方法を用いてもよい。

図19はこの発明の半導体集積回路製造方法の処理手順の更に他の一例を示している。はじめに、ステップ301において、半導体基板に基本素子（トランジスタなど）を形成する工程を行う。次に、ステップ302において、基本素子単位での試験や基本素子の素子パラメータ測定などのパラメトリック試験を行う。その後ステップ303で配線の積層工程により信号線を形成し、ステップ304で配線面に信号線が形成されたか否かを確認し、信号線が形成されていないならばステップ303に戻り、信号線が形成されたならばステップ305に移行する。ステップ305において、所定の工程（1つとは限らない）が終了したか否かを確認し、所定の工程が終了していないならばステップ303の配線の積層工程を繰り返し、所定の工程が終了したならばステップ306に移行する。ここで、上記ステップ303の配線の積層工程は、基本素子やサブ回路の配線を積層によって行う工程であり、例えば図6に示したようなプロセスステップからなる。次に、ステップ306において、上記工程までに形成、配線接続された複数の基本素子やサブ回路を順次又は並列に試験する。最後に、ステップ307において、半導体集積回路の製造工程が終了したか否かを確認し、製造工程が終了していないな

らば上記ステップ303, 304, 305, 306を繰り返し、製造工程が終了したならば処理を終了する。上記ステップ306の試験工程において、基本素子またはサブ回路の試験には、全数試験を用いてもよいし、機能試験を用いてもよいし、縮退故障試験を用いてもよいし、遅延故障試験を用いてもよいし、静止電源電流試験を用いてもよいし、過渡電源電流試験を用いてもよいし、パラメトリック試験を用いてもよいし、配線接続試験を用いてもよいし、上記以外の試験方法を用いてもよい。

図20はこの発明の半導体集積回路製造方法の処理手順の更に他の一例を示している。はじめに、ステップ501において、半導体基板に基本素子（トランジスタなど）を形成する工程を行う。次に、ステップ502において、配線面に信号線が形成されたか否かを確認し、信号線が形成されていないならばステップ503の配線の積層工程により信号線を形成し、信号線が形成されたならばステップ504に移行する。ステップ504において、所定の工程が終了したか否かを確認し、所定の工程が終了していないならばステップ503の配線の積層工程を繰り返し、所定の工程が終了したならばステップ505に移行する。ここで、上記ステップ503の配線の積層工程は、基本素子やサブ回路の配線を積層によって行う工程であり、例えば図6に示したプロセスステップからなる。次に、ステップ505において、上記工程までに形成、配線接続された複数の基本素子やサブ回路の試験を行う。

次に、ステップ506において、ふたたび配線の積層工程を行う。上記ステップ506の配線の積層工程は、上記ステップ505までに試験された複数の基本素子やサブ回路を配線により更に規模の大きいサブ回路とする配線層形成工程であり、例えば図6に示したプロセスステップからなる。次に、ステップ507において、配線面に信号線が形成されたか否かを確認し、信号線が形成されていないならばステップ506の配線の積層工程により信号線を形成し、信号線が形成されたならばステップ508に移行する。ステップ508において、所定の積層工程（1つとは限らない）が終了したか否かを確認し、所定の積層工程が終了していないならば上記ステップ506の積層工程を繰り返し、所定の積層工程が終

了したならばステップ509に移行する。ステップ509において、上記積層工程までに接続された複数のサブ回路間の複数の配線に対し配線接続試験を行う。最後に、ステップ510において、半導体集積回路の製造工程が終了したか否かを確認し、製造工程が終了していないならば上記ステップ506, 507, 508, 509を繰り返し、製造工程が終了したならば処理を終了する。上記ステップ505のサブ回路試験工程において、基本素子またはサブ回路の試験には、全数試験を用いてもよいし、機能試験を用いてもよいし、縮退故障試験を用いてもよいし、遅延故障試験を用いてもよいし、静止電源電流試験を用いてもよいし、過渡電源電流試験を用いてもよいし、パラメトリック試験を用いてもよいし、上記以外の試験方法を用いてもよい。さらに、上記ステップ505のサブ回路試験工程は、複数のサブ回路を順次試験してもよいし、並列に試験してもよい。同様に、上記ステップ509の配線接続試験工程は、複数の配線接続を順次試験してもよいし、並列に試験してもよい。ステップ509の配線接続試験は、ステップ505の試験の後に配線積層工程が終了するごとに行なうことが好ましい。この場合はステップ508を省略できる。

図21はこの発明の半導体集積回路製造方法の処理手順の更に他の一例を示している。はじめに、ステップ601において、半導体集積回路の製造工程における半導体基板に基本素子（トランジスタなど）を形成する工程を行う。次に、ステップ602において、配線面に信号線が形成されたか否かを確認し、信号線が形成されていないならばステップ605の配線の積層工程に移行し、信号線が形成されたならばステップ603に移行する。ステップ603において、所定の工程（1つに限らない）が終了したか否かを確認し、所定の工程が終了していないならばステップ605の配線の積層工程に移行し、所定の工程が終了したならばステップ604に移行する。ステップ604において、上記工程までに形成、配線接続された複数の基本素子やサブ回路の試験を行う。

次に、ステップ605において、配線の積層工程を行ない、配線層の表面に信号線を形成する。ここで、上記ステップ605の配線の積層工程は、基本素子やサブ回路の配線を積層によって行なう工程であり、例えば図6に示したプロセスス。

ステップからなる。次に、ステップ 606において、半導体集積回路の製造工程が終了したか否かを確認し、製造工程が終了していないならば上記ステップ 602, 603, 604, 605を繰り返し、製造工程が終了したならばステップ 607に移行する。最後に、ステップ 607において、最終的に集積された半導体集積回路の最終機能試験（機能試験）を行ない処理を終了する。上記ステップ 604のサブ回路試験工程において、基本素子またはサブ回路の試験には、全数試験を用いてもよいし、機能試験を用いてもよいし、縮退故障試験を用いてもよいし、遅延故障試験を用いてもよいし、静止電源電流試験を用いてもよいし、過渡電源電流試験を用いてもよいし、パラメトリック試験を用いてもよいし、上記以外の試験方法を用いてもよい。さらに、上記ステップ 604のサブ回路試験工程は、複数のサブ回路を順次試験することもできるし、並列に試験することもできる。また、上記ステップ 607の最終機能試験工程は、必要に応じて機能試験以外の試験方法をもちいることもできる。ステップ 607の最終試験は半導体集積回路のポンディングパッドにプローブをコンタクトさせて行ってもよいし、パッケージにされた半導体集積回路に対して行ってもよい。

図 22 はこの発明の半導体集積回路製造方法の処理手順の更に他の一例を示している。はじめに、ステップ 801において、半導体基板に基本素子（トランジスタなど）を形成する工程を行う。次に、ステップ 802において、配線面に信号線が形成されたか否かを確認し、信号線が形成されていないならばステップ 803 の配線の積層工程により信号線を形成し、信号線が形成されたならばステップ 804 に移行する。ステップ 804において、所定の工程（1つに限らない）が終了したか否かを確認し、所定の工程が終了していないならばステップ 803 の配線の積層工程を繰り返し、所定の工程が終了したならばステップ 805 に移行する。

ここで、上記ステップ 803 の配線の積層工程は、基本素子やサブ回路の配線を積層によって行う工程であり、例えば図 6 に示したプロセスステップからなる。次に、ステップ 805において、上記工程までに形成、配線接続された複数の基本素子やサブ回路の試験を行う。次に、ステップ 806において、CMP 平坦化

工程を行う。上記CMP平坦化工程806は、上記試験工程805におけるプロープコンタクトの際についた微小な接触傷を除去するための処理、又は上記試験工程805で用いたテスト容易化設計技術の試験回路への配線を除去するためのものである。最後に、ステップ807において、半導体集積回路の製造工程が終了したか否かを確認し、製造工程が終了していないならば上記ステップ802、803、804、805、806を繰り返し、製造工程が終了したならば処理を終了する。上記ステップ805の試験工程において、基本素子またはサブ回路の試験には、全数試験を用いてもよいし、機能試験を用いてもよいし、縮退故障試験を用いてもよいし、遅延故障試験を用いてもよいし、静止電源電流試験を用いてもよいし、過渡電源電流試験を用いてもよいし、パラメトリック試験を用いてもよいし、配線接続試験を用いてもよいし、上記以外の試験方法を用いてもよい。さらに、上記ステップ805の試験工程は、複数のサブ回路を順次試験することもできるし、並列に試験することもできる。

図20中のステップ503及びステップ506、図21中のステップ605、図22中のステップ803の各配線積層工程は、図7に示したプロセスを用いてもよい。この場合は、図18の実施例で示したように配線積層工程を前半工程と後半工程とに分け、所定の工程となった試験をする場合は前半工程が終了した状態で行い、その後、後半工程を行うようにすればよい。

以上述べたようにこの発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、テストパターン数および試験コストを低減できるため、大規模半導体集積回路試験の経済効果を大幅に改善することができる。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、大規模な集積回路では適用不可能な試験方法を適用することができるため、故障検出率を大幅に向上することができる。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、サ

ブ回路の試験容易性を向上するためのテスト容易化設計技術が不要となるため、試験回路の面積オーバーヘッドをゼロとすることができます。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、サブ回路またはシステムの機能と同一チップ上のサブ回路およびシステム間の配線を並列に試験することを可能とし、試験時間と試験コストを削減することができ、故障がない半導体集積回路を短時間で製造できる。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、断線故障や短絡故障などの製造不良および回路性能が仕様外となるような機能不良の早期検出を可能とし、半導体集積回路の試験コストおよび製造コストを削減することができる。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、不良を生じる危険性の高いサブシステムの同定を可能とし、この情報を用いてテスト容易化設計技術の追加や全システムの信頼性を向上することができるため、長いシステム修繕期間（不良を生じたシステムを正常なシステムに修繕するための期間）を短縮することができる。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、システム性能を向上するためのシミュレーションやモデリングに必要なデバイスレベルあるいはサブシステムレベルでの遅延時間や電流駆動能力などの性能データの収集を可能とする。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導体集積回路に対し、回路の製造工程中にサブ回路単位で試験することにより、最終試験後、KGD (known good die) 標準要求を満たす良品コンポーネントの保障を可能とし、KGDのコストを大幅に削減することができる。

また、この発明の半導体集積回路製造方法によれば、積層配線構造をもつ半導

体集積回路に対し、テスト容易化設計技術を併用した場合でも、テスト容易化設計技術の試験回路を用いて試験した後、CMP (chemical mechanical polishing) 平坦化工程を利用して試験工程で用いた上記試験回路への配線を除去し、回路を再構成することによって、テスト容易化設計技術による被試験半導体集積回路の性能劣化を防ぐことができる。

## 請求の範囲

1. 基本素子の形成を行った後、配線の積層工程を複数回行って半導体集積回路を製造する方法において、

少くとも 1 つ以上の途中の積層工程で配線接続された 1 以上の基本素子やサブ回路を試験する試験工程を有することを特徴とする半導体集積回路製造方法。

2. クレーム 1 記載の半導体集積回路製造方法において、

上記試験工程は、配線接続された 1 以上の基本素子やサブ回路の試験を行う第 1 の試験工程と、その第 1 の試験工程の後の配線積層工程に基づき上記基本素子やサブ回路間の配線に対する配線接続試験を行う第 2 の試験工程を有することを特徴とする半導体集積回路製造方法。

3. クレーム 1 記載の半導体集積回路製造方法において、

上記試験工程の後、次の積層工程に移る前に、積層面を平坦化する平坦化工程を有することを特徴とする半導体集積回路製造方法。

4. クレーム 1 記載の半導体集積回路製造方法において、

上記試験工程においてテスト容易化設計技術の試験回路を用いて上記半導体集積回路の試験をおこなった後、上記試験工程でもちいたテスト容易化設計技術の試験回路への配線を削除する工程を有することを特徴とする半導体集積回路製造方法。

5. クレーム 1 記載の半導体集積回路製造方法において、

積層工程が終ると所定の工程が終了したか否かを確認し、上記所定の工程が終了したことを確認すると上記試験工程に移り、所定の工程が終了していないと次の積層工程に移るステップと、上記試験工程が終了すると半導体集積回路の製造工程が終了したか否かを確認し、終了している場合は次の積層工程に移るステップとを有することを特徴とする半導体集積回路製造方法。

6. クレーム 1 記載の半導体集積回路製造方法において、

積層工程が終ると所定の工程が終了したか否かを確認し、上記所定の工程が終了したことを確認するとそれまでに形成、配線接続された複数の基本素子やサブ回路の試験過程（第 1 試験工程）に移り、所定の工程が終了していないと次の積

層工程に移るステップと、

上記第1試験工程が終了すると次の配線積層工程に移るステップと、

その後所定の積層工程が終了したか否かを確認し、所定の積層工程が終了したことを確認すると、それまでに接続された複数のサブ回路間の複数の配線に対し配線接続試験を行う第2試験工程に移り、所定の積層工程が終了していないと次の積層工程に移るステップと、

上記第2試験工程が終了すると半導体集積回路の製造工程が終了したか否かを確認し、終了していないと上記第1試験工程後の次の積層工程に移るステップと、を有することを特徴とする半導体集積回路製造方法。

7. クレーム1記載の半導体集積回路製造方法において、

上記積層工程は、前半工程と、後半工程とよりなり、

上記積層工程の前半工程が終了すると所定の工程が終了したかを確認し、所定の工程が終了していないければ、その積層工程の後半工程に移り、所定の工程が終了したことを確認すると、上記試験工程に移るステップと、

上記試験工程が終了すると、上記積層工程の後半の工程に移るステップと、

上記積層工程の後半の工程が終了すると、半導体集積回路の製造工程が終了したか否かを確認し、終了していないと次の積層工程の前半工程に移るステップとを有することを特徴とする半導体集積回路製造方法。

8. クレーム1記載の半導体集積回路製造方法において、

最終積層工程で最終的に配線接続された集積回路の最終機能試験を行う最終試験工程を有することを特徴とする半導体集積回路製造方法。

9. クレーム1記載の半導体集積回路製造方法において、

上記基本素子の形成後で上記配線の積層工程の前に、上記基本素子に対するパラメトリック試験を行う工程を有することを特徴とする半導体集積回路製造方法。

1/17

図1

集積回路 A

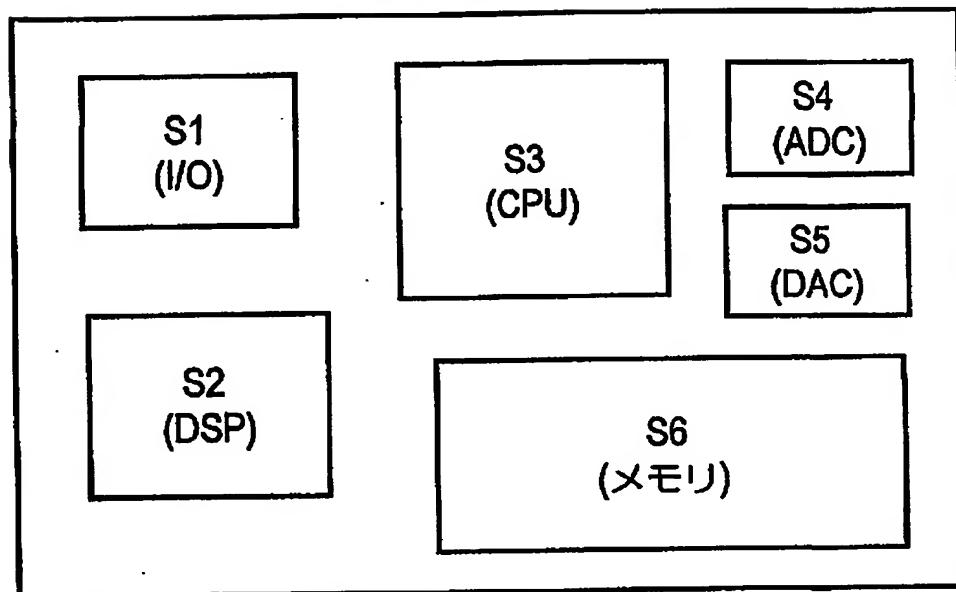
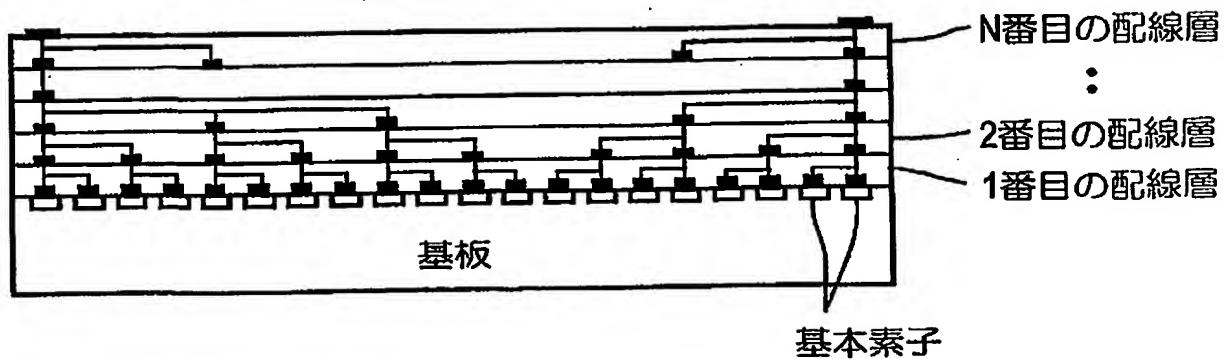


図2

集積回路 A



2/17

図3

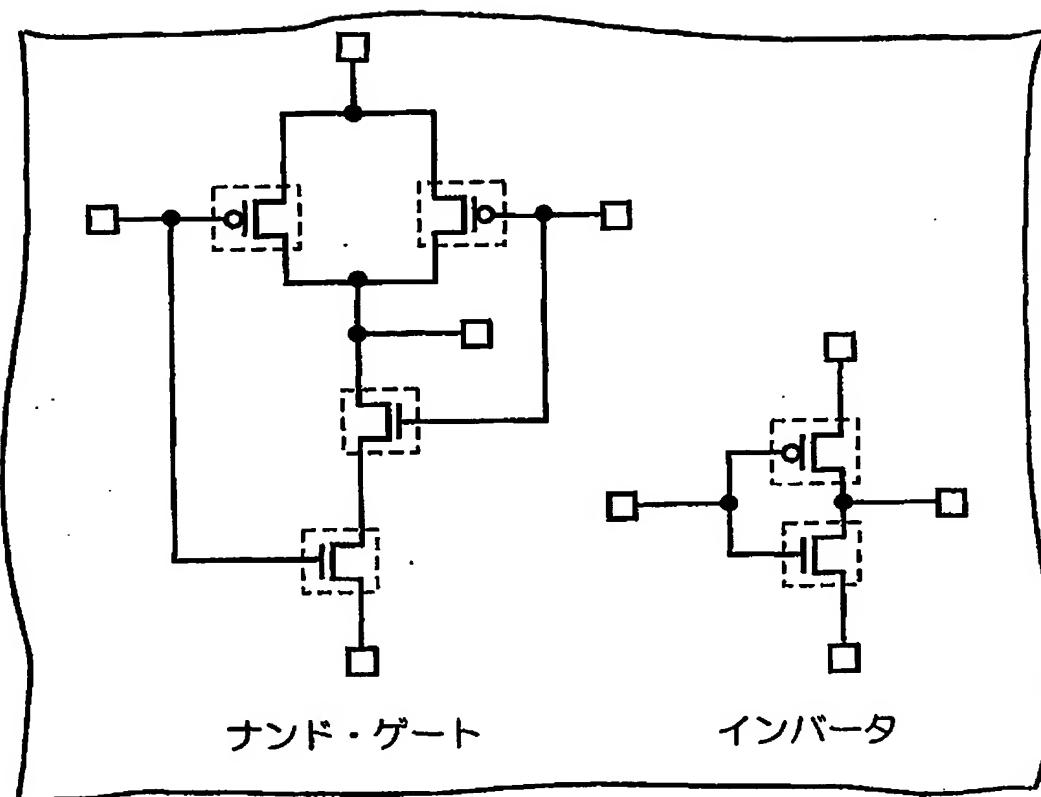
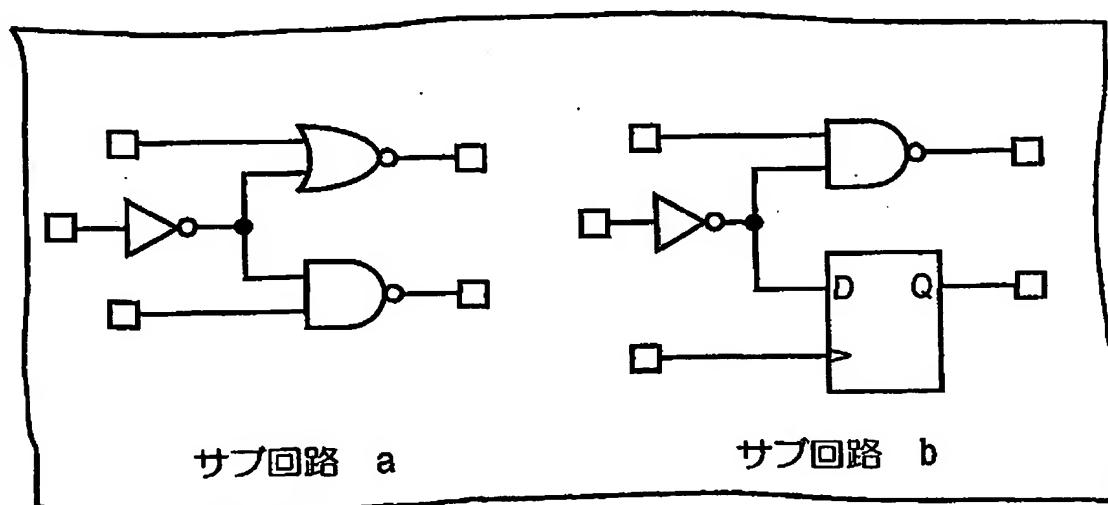
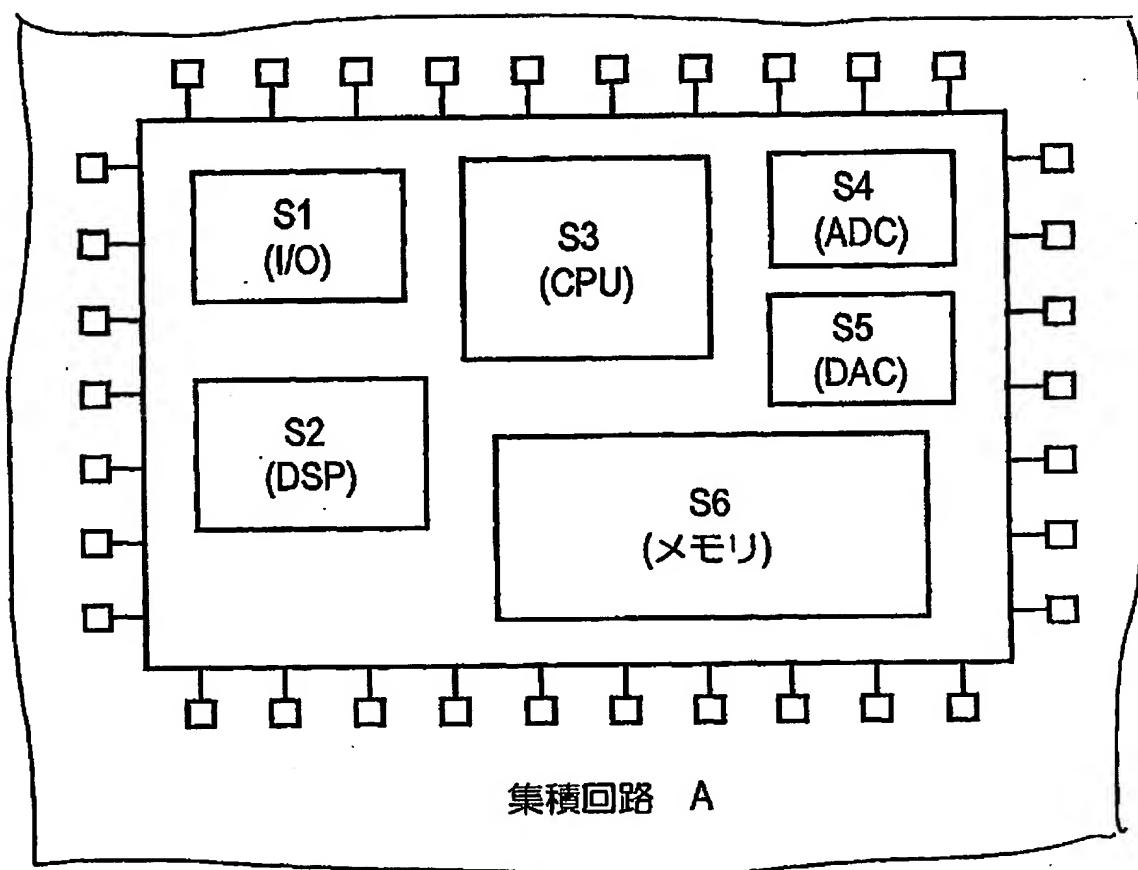


図4



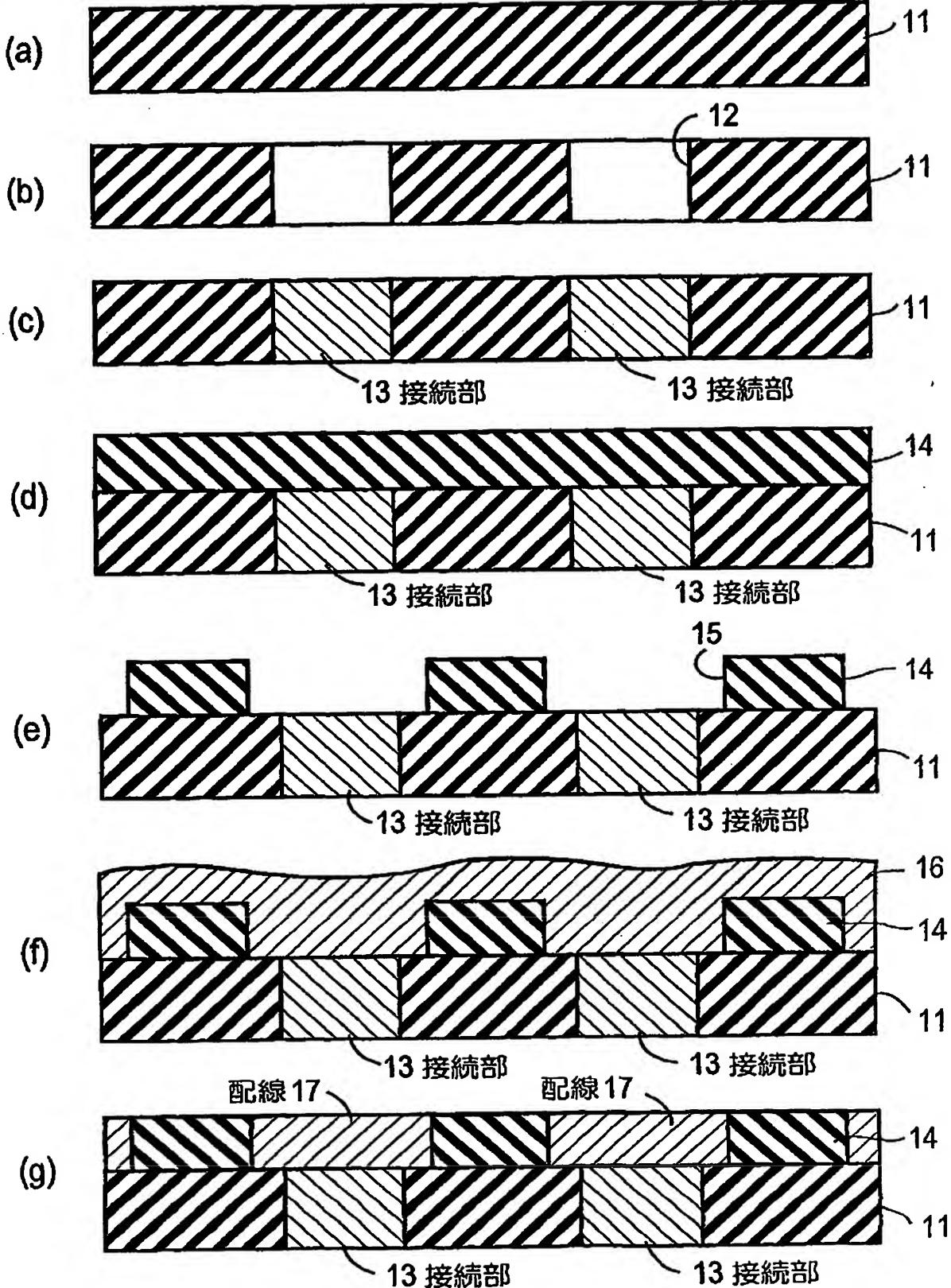
3/17

図5



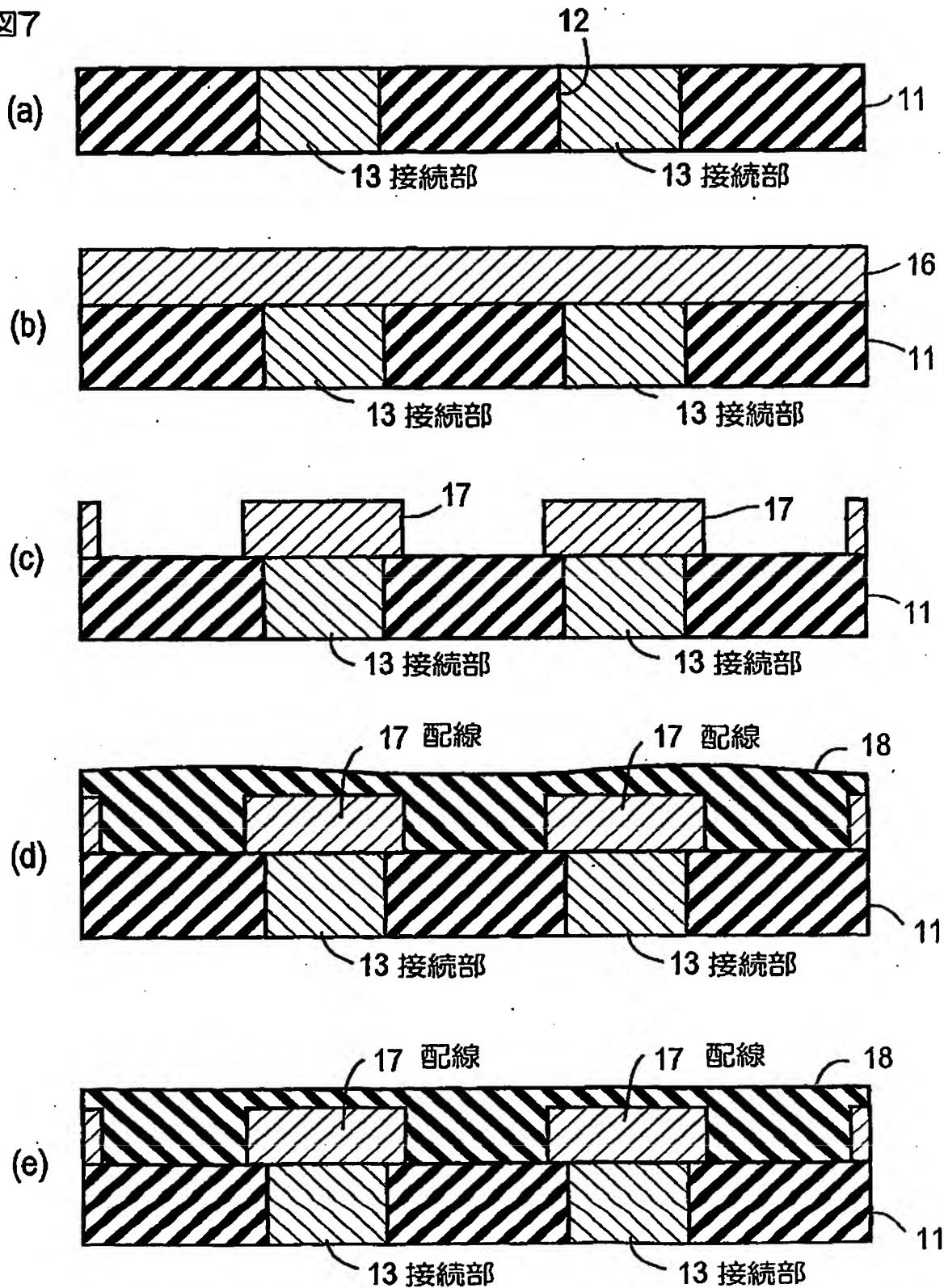
4/17

図6



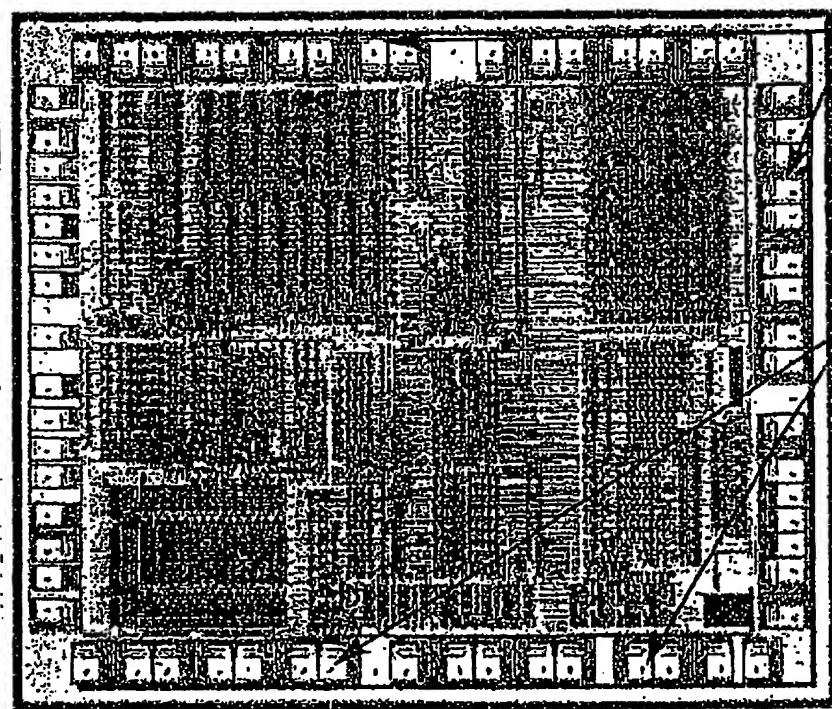
5/17

図7



6/17

図8



ポンド・パッド  
(I/Oパッド,  
電源パッド,  
アース・パッド)

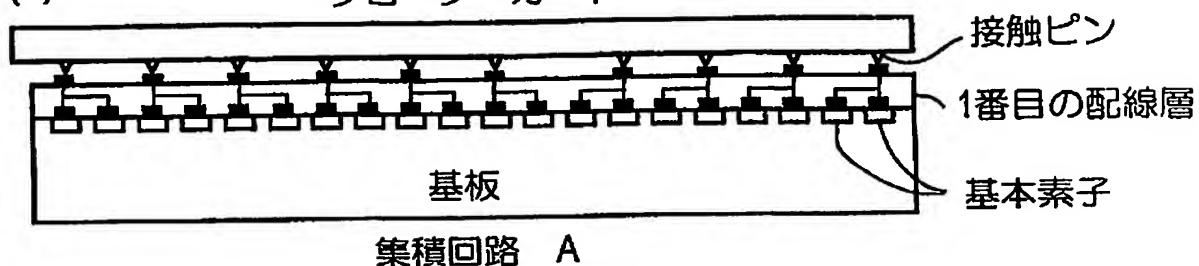
プローブ・マーク

7/17

図9

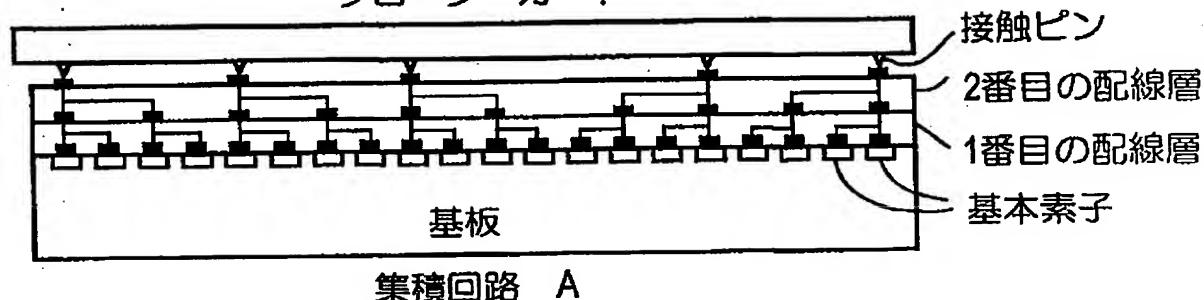
(a)

プロープ・カード



(b)

プロープ・カード



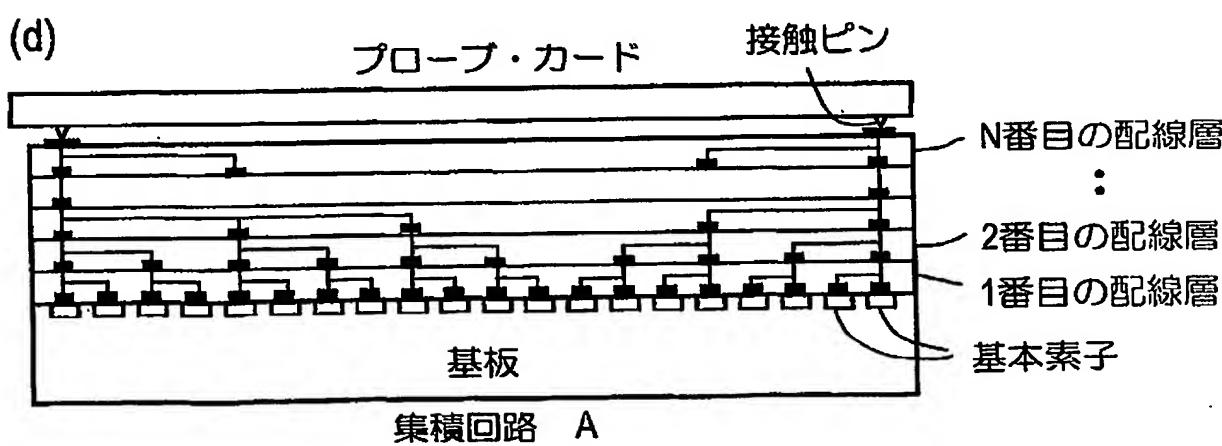
(c)

プロープ・カード



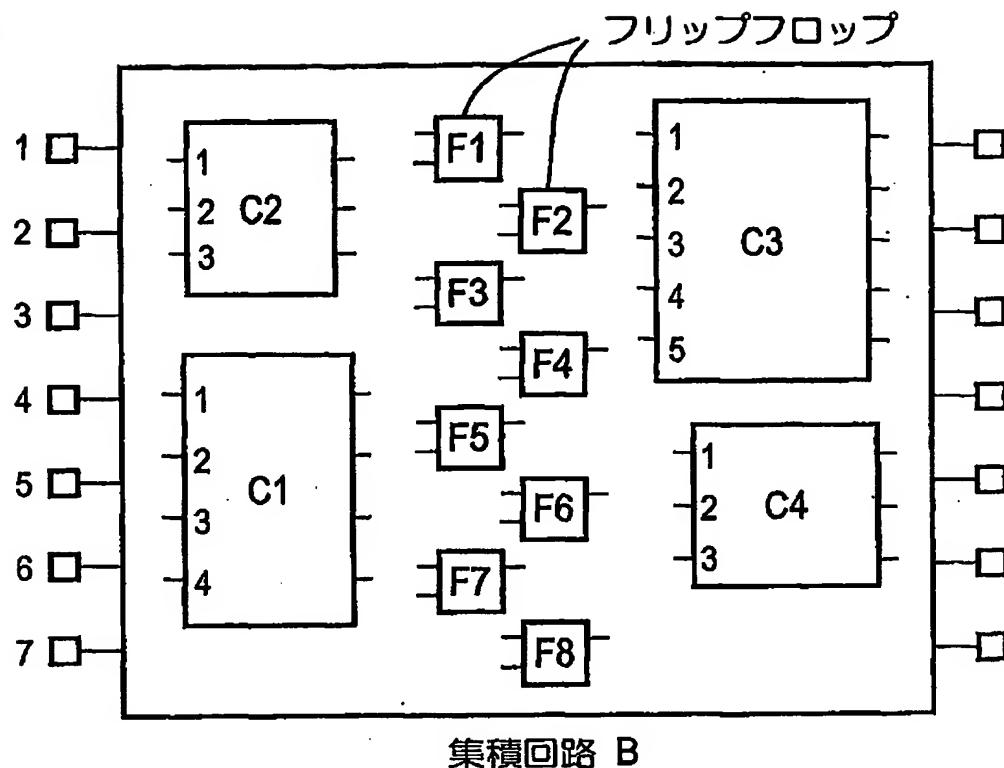
(d)

プロープ・カード



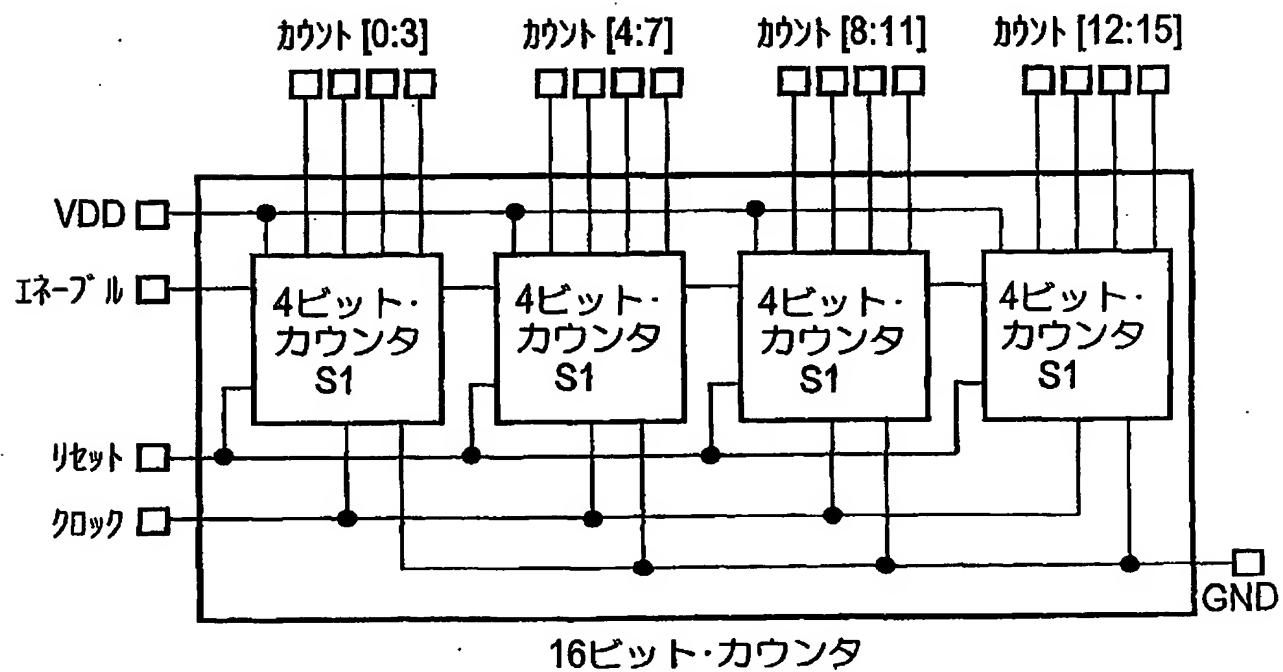
8/17

図10



集積回路 B

図11



9/17

図12

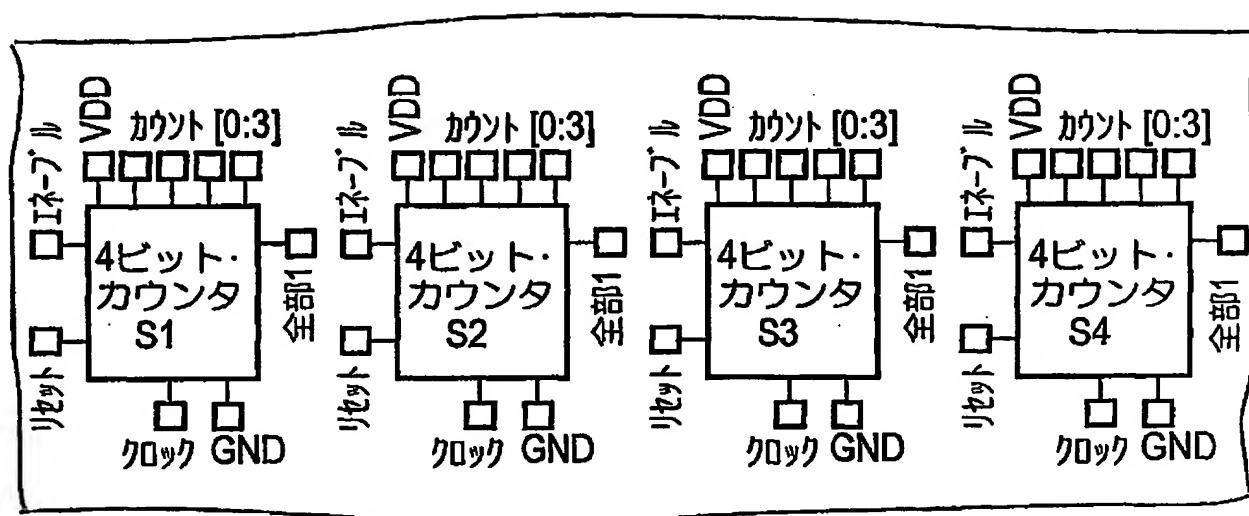
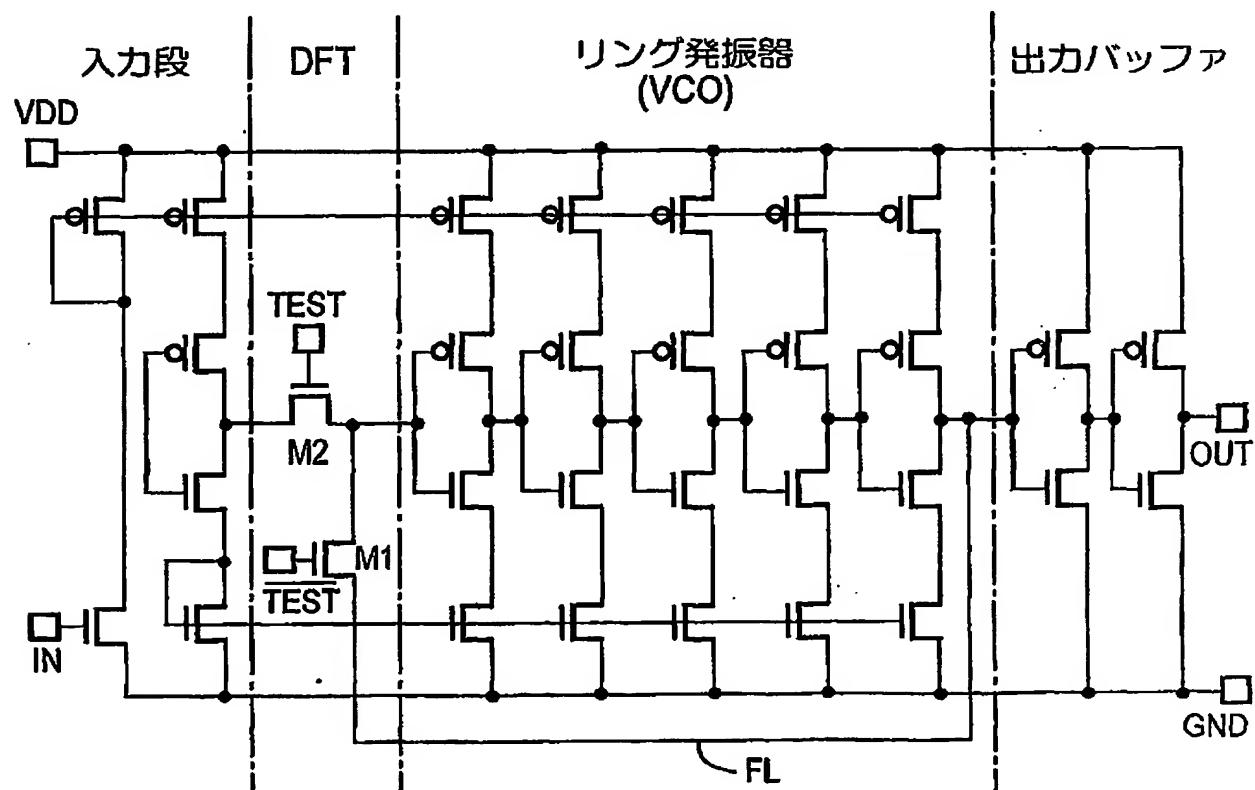


図13



10/17

図14

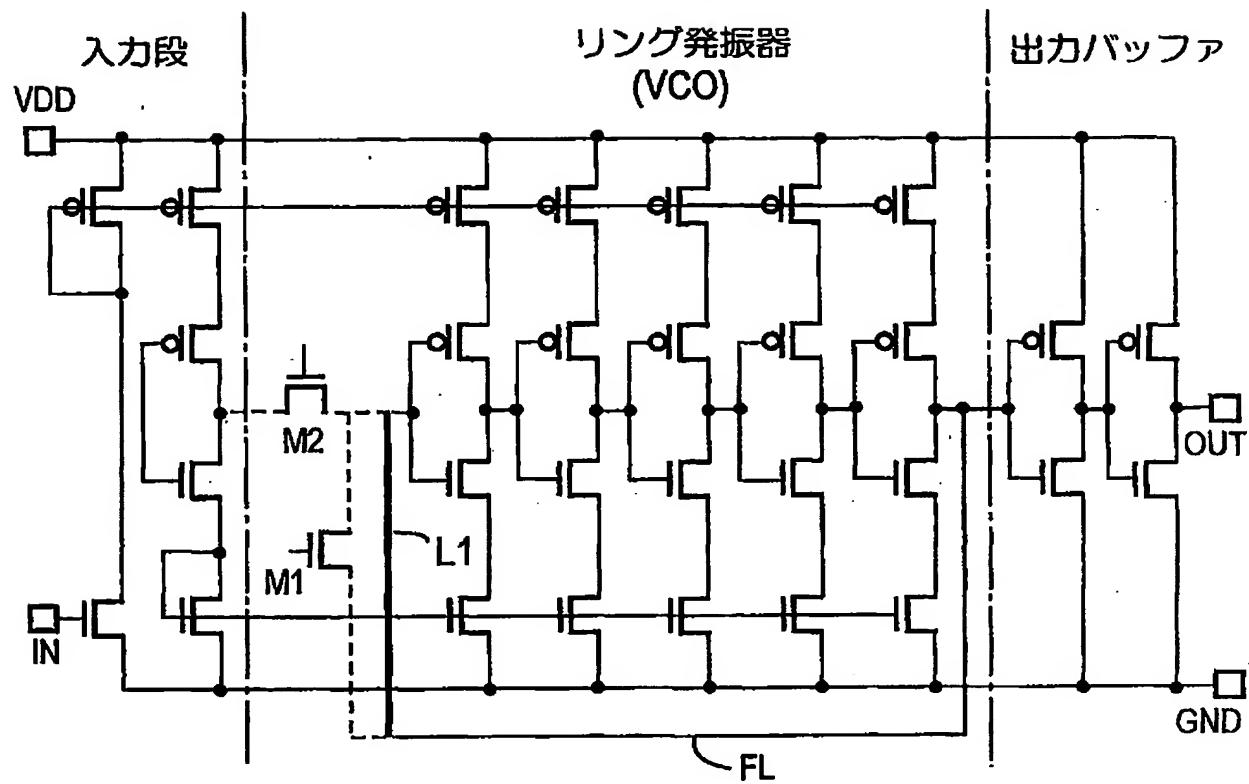
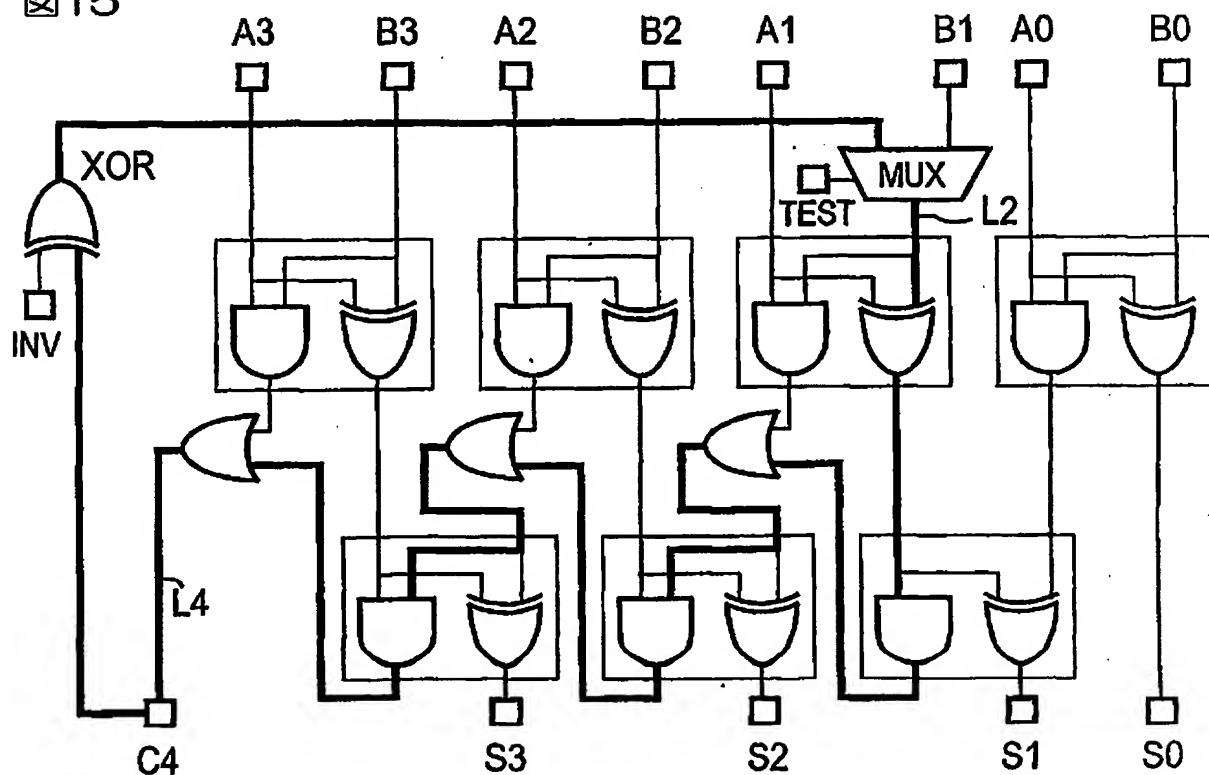
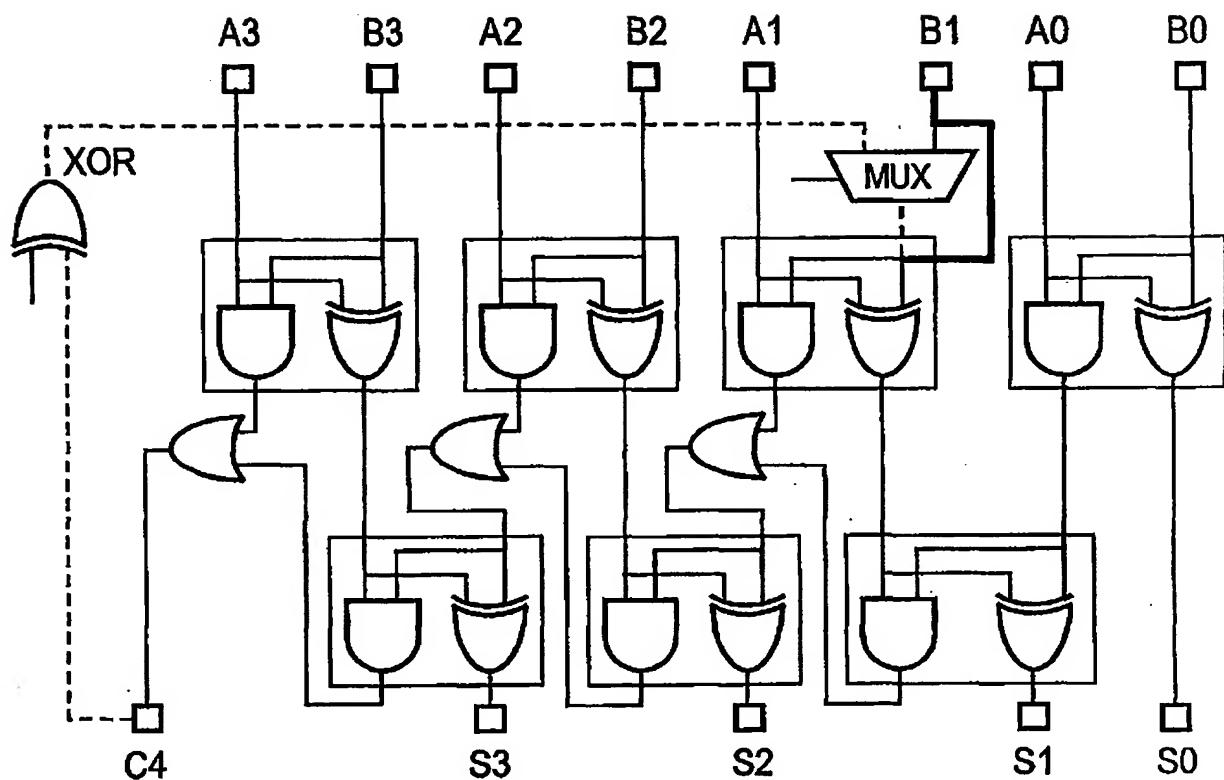


図15



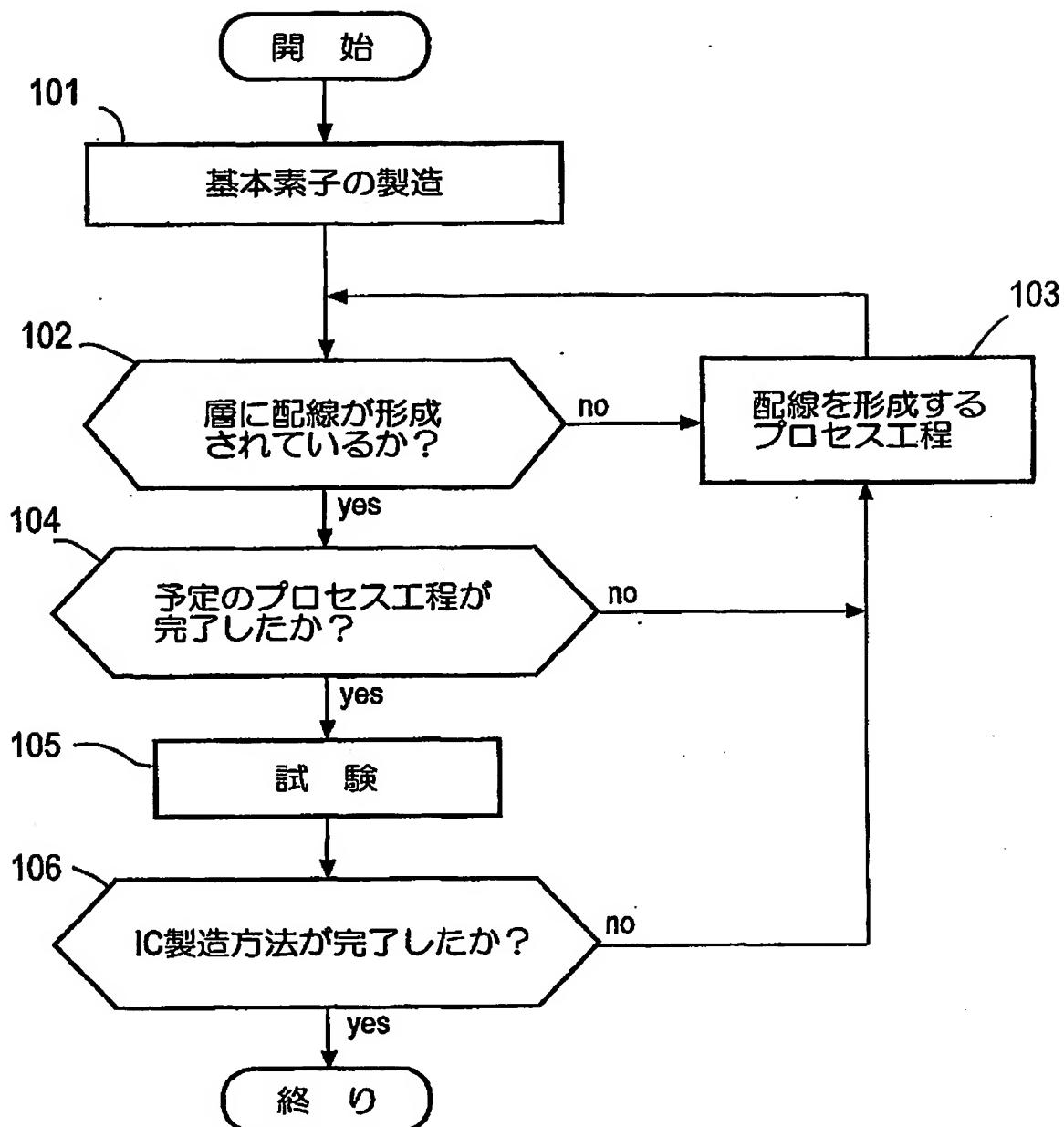
11/17

図16



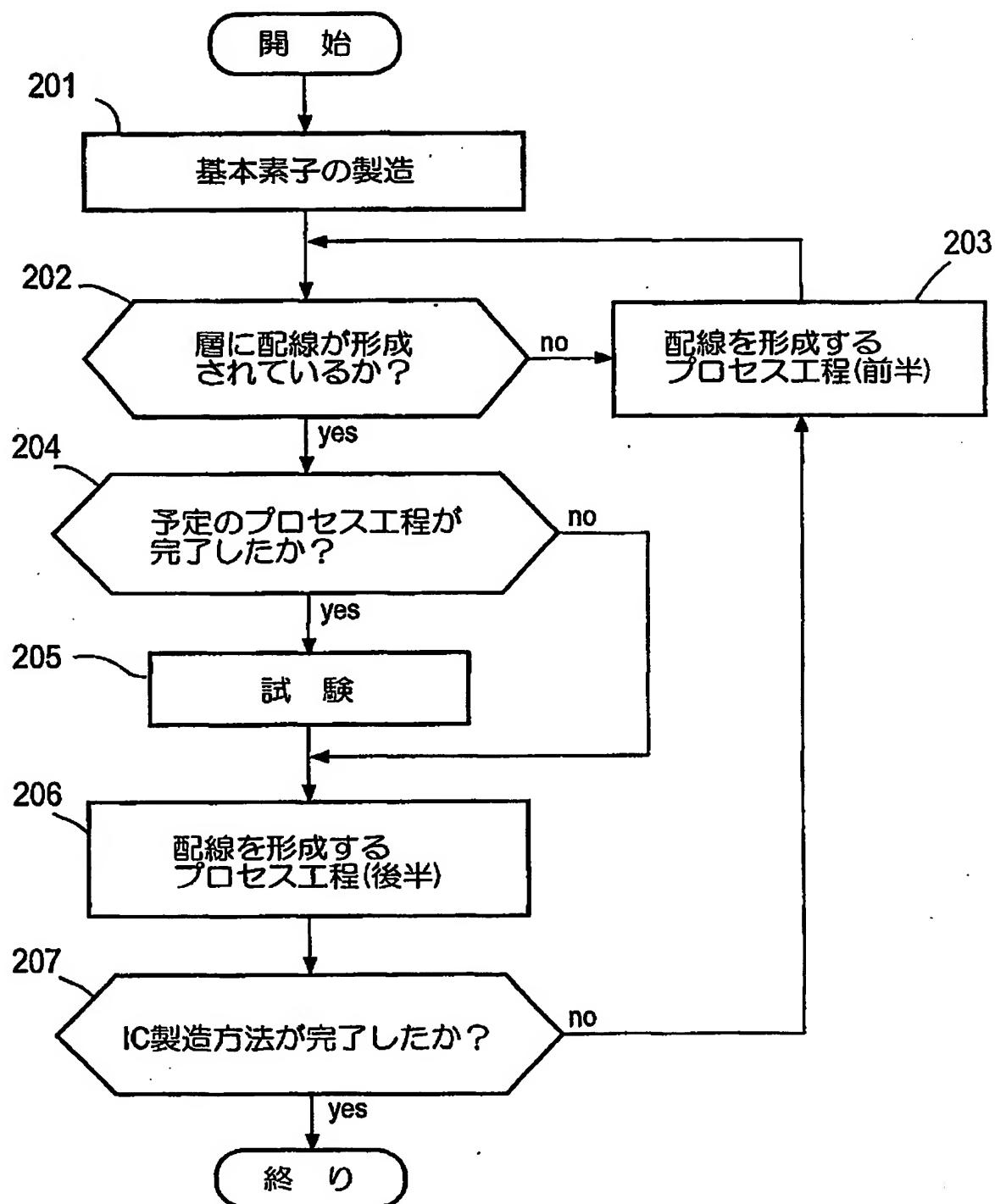
12/17

図17



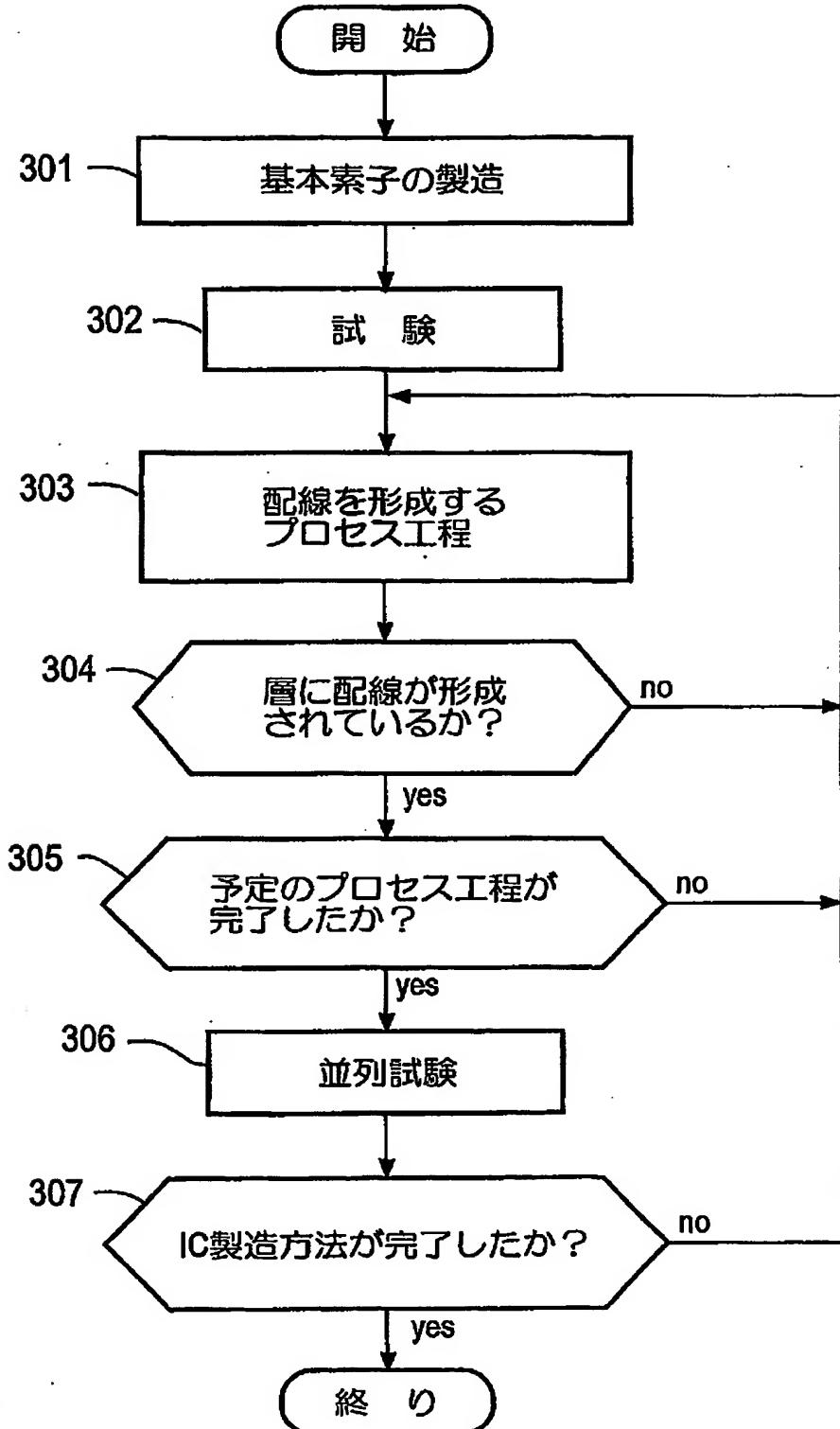
13/17

図18



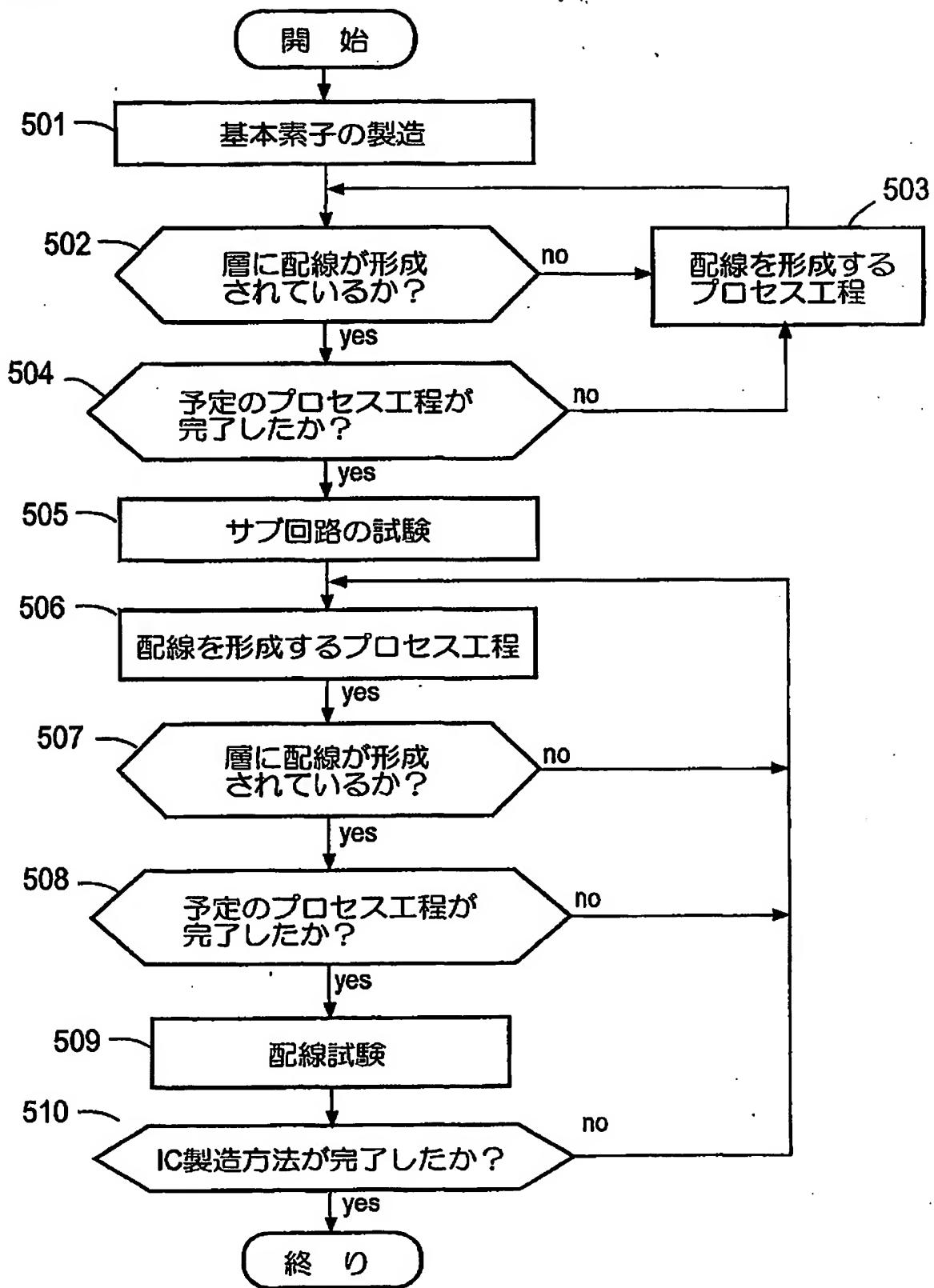
14/17

図19



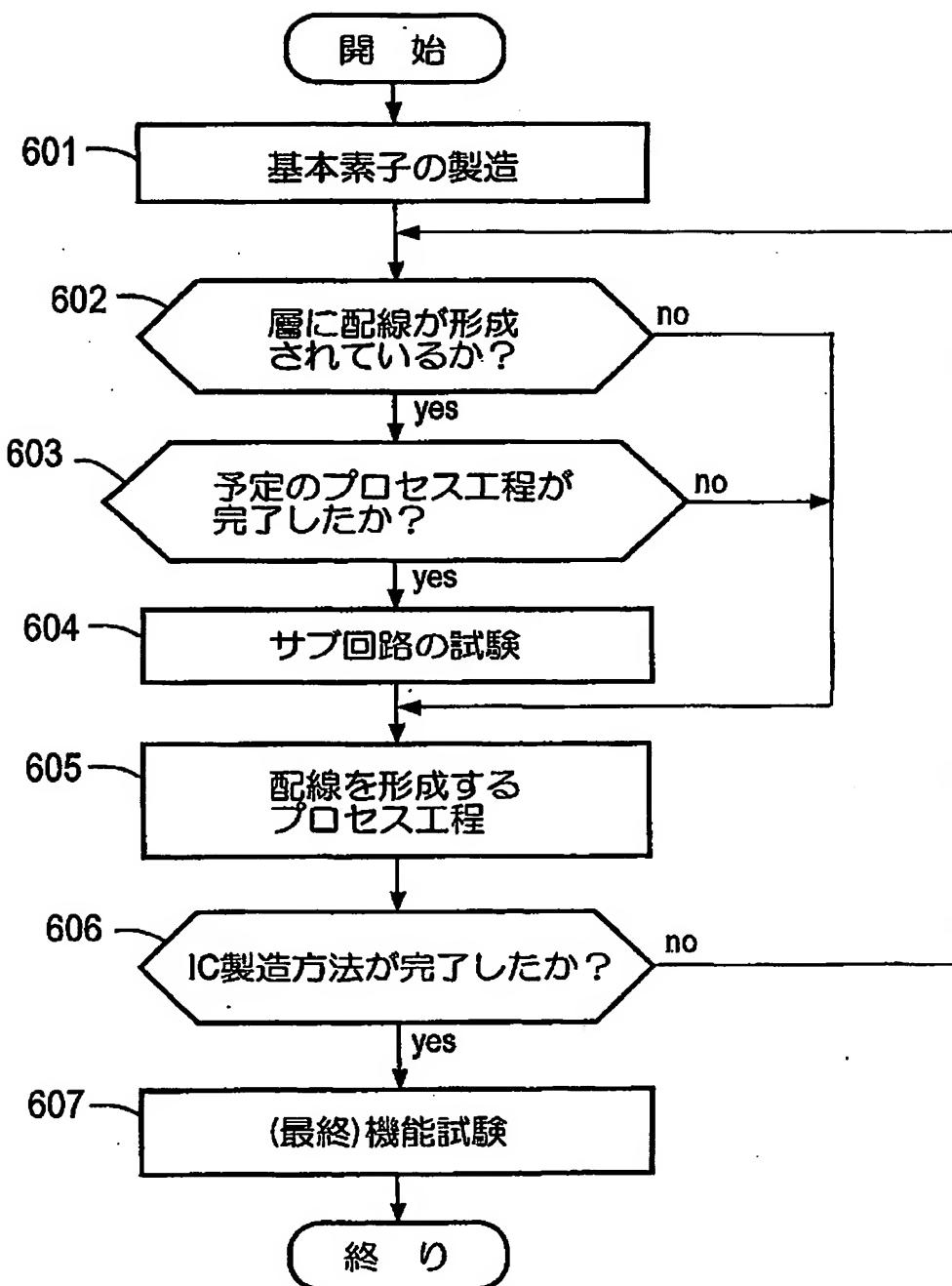
15/17

図20



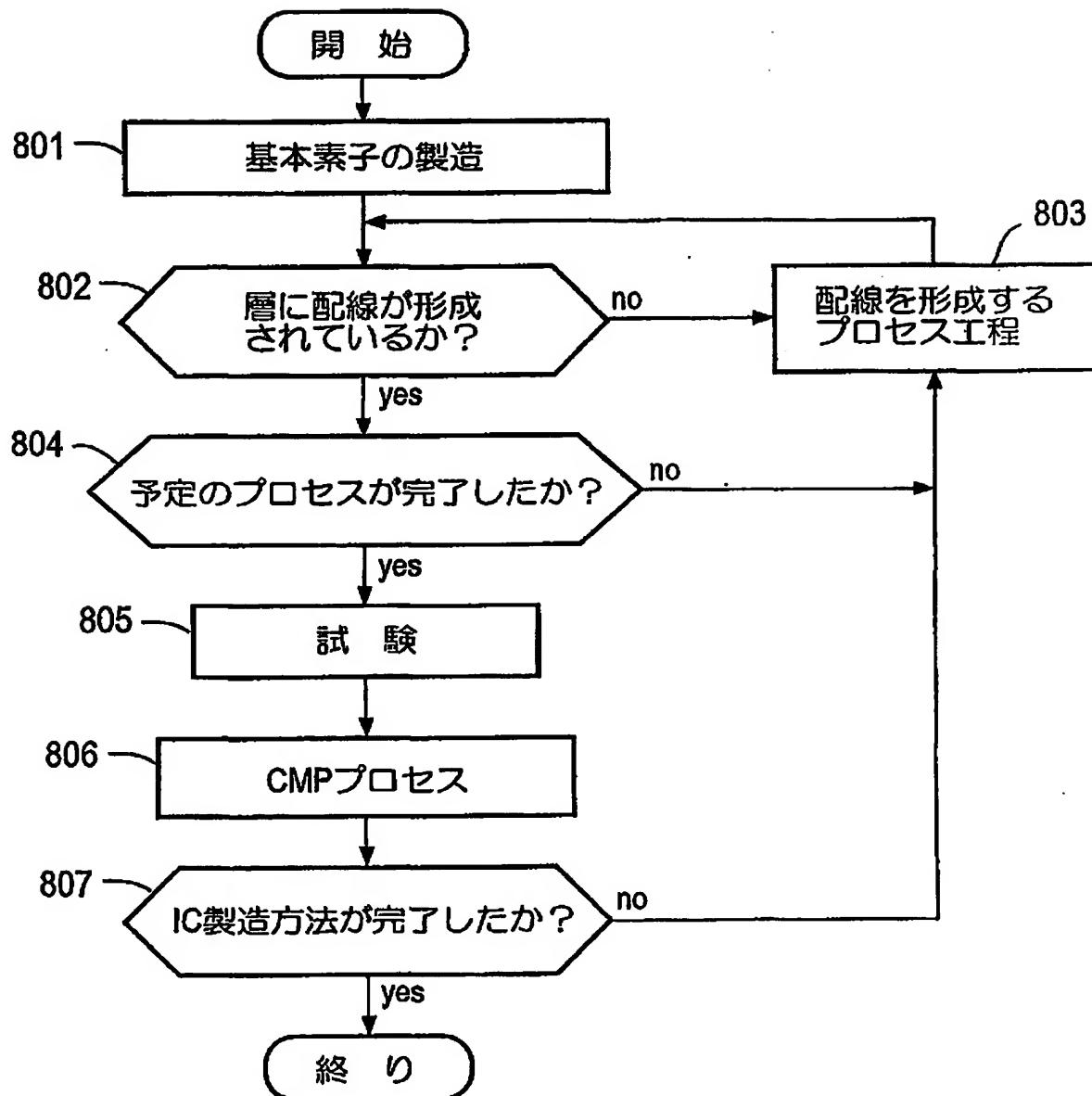
16/17

図21



17/17

図22



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP01/01292

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L21/66

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/66, H01L21/3205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 09-64122, A (Matsushita Electric Ind. Co., Ltd.), 07 March, 1997 (07.03.97), Claims (Family: none)	1, 2 3-9
X A	JP, 06-244176, A (Hitachi, Ltd.), 02 September, 1994 (02.09.94), Claims (Family: none)	1, 2, 5, 6 3, 4, 7-9

Further documents are listed in the continuation of Box C.

See patent family annex.

“A”	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	“T”	Later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E”	earlier document but published on or after the international filing date	“X”	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L”	document which may throw doubts on priority claim(s) or which is cited to establish the publication, date of another citation or other special reason (as specified)	“Y”	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O”	document referring to an oral disclosure, use, exhibition or other means	“&”	document member of the same patent family
“P”	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search  
15 May, 2001 (15.05.01)

Date of mailing of the international search report  
29 May, 2001 (29.05.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ' H01L21/66

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ' H01L21/66 H01L21/3205

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2001年

日本国登録実用新案公報 1994-2001年

日本国実用新案登録公報 1996-2001年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 09-64122, A (松下電器産業株式会社)	1, 2
A	7. 3月. 1997 (07. 03. 97) 特許請求の範囲 (ファミリーなし)	3-9
X	JP, 06-244176, A (株式会社日立製作所)	1, 2, 5, 6
A	2. 9月. 1994 (02. 09. 94) 特許請求の範囲 (ファミリーなし)	3, 4, 7-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

## 国際調査を完了した日

15. 05. 01

## 国際調査報告の発送日

29.05.01

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4R 9265

電話番号 03-3581-1101 内線 6362

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**